

具有电平转换功能的 I²C/SM 总线 8 位 I/O 扩展 IC

概述

ET6408 是一个 8 位通用 I/O 端口扩展 IC, 通过 I²C 总线/SM 总线接口为微控制器提供最多 8 个 I/O 端口扩展功能, 并且还具有电平转换功能, 使其可以灵活应用在多电压混合信号通信环境中。

ET6408 有两个电源电压: VDDI 和 VDDP。VDDI 为主控端(微控制器)接口提供电源电压, VDDP 为内部核心电路和 8 位 I/O 端口提供电源电压。

ET6408 有主要的 4 组寄存器, 分别是: 配置寄存器、输入寄存器、输出寄存器和极性反转寄存器。

上电时, 所有的 I/O 端口被默认配置为输入状态。通过配置寄存器, 系统可以决定每个 I/O 端口的输入输出状态。每个输入或输出数据都被保存在对应的输入或输出寄存器中。输入寄存器的极性可以通过配置极性反转寄存器进行翻转, 以节省外部逻辑门。

此外, ET6408 还有其他 8 组寄存器: 输出驱动强度调节寄存器、输入锁存寄存器、上/下拉电阻使能寄存器、上下拉类型选择寄存器、中断屏蔽寄存器、中断状态寄存器、输出状态控制寄存器等, 通过配置这些寄存器, 可以配置对应的各种状态。

当发生超时时间或错误操作时, 主机可以通过在 $\overline{\text{RESET}}$ 端口施加一个低电平, 将 ET6408 复位。上电复位时, 所有的寄存器恢复到默认状态, 并初始化 I²C 总线/SM 总线状态机。

当任意输入状态与其对应输入寄存器状态不同时, ET6408 开漏中断 $\overline{\text{INT}}$ 输出被激活, 向主机表明输入状态已经变化。 $\overline{\text{INT}}$ 可以连接到微控制器的中断输入, 通过发送中断信号, 通知微控制器端口上有数据进入, 而不需要通过 I²C 总线。

ET6408 的端口 P0~P7 输出提供最大 25mA 的灌电流, 可以直接驱动 LED。

I²C 总线地址可以通过 ADDR 引脚接 VDDP 或 VSS 来改变。

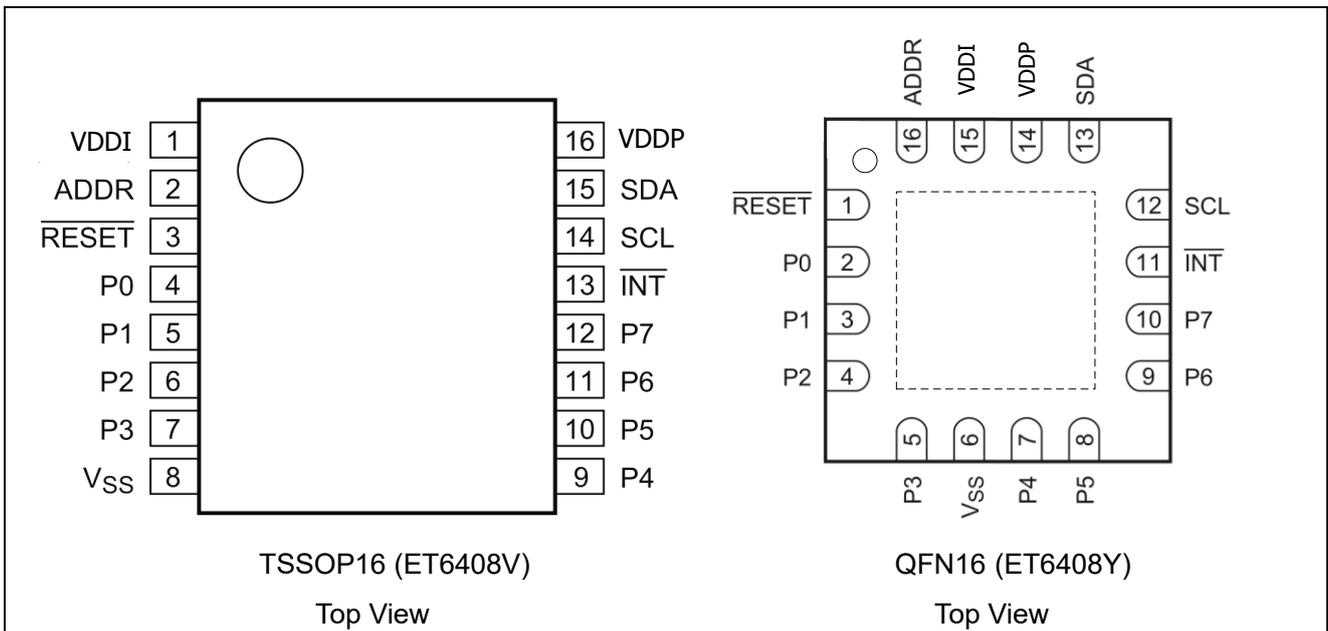
特性

- I²C/SM 总线到并行 8 位总线扩展
- 工作电压范围: 1.65 V to 5.5 V
- 支持双向电平转换:
 - ◆ 1.8V SCL/SDA 与 1.8V, 2.5V, 3.3V or 5.0V P 端口之间
 - ◆ 2.5V SCL/SDA 与 1.8V, 2.5V, 3.3V or 5.0V P 端口之间
 - ◆ 3.3V SCL/SDA 与 1.8V, 2.5V, 3.3V or 5.0V P 端口之间
 - ◆ 5.0V SCL/SDA 与 1.8V, 2.5V, 3.3V or 5.0V P 端口之间
- 极低的静态电流损耗:
 - ◆ 典型值 1.5uA ($V_{\text{DDP}}=5\text{V}$)
 - ◆ 典型值 1.0uA ($V_{\text{DDP}}=3.3\text{V}$)
- SCL/SDA 端口采用施密特触发器结构, 支持缓慢的输入转换, 并提升抗干扰能力:

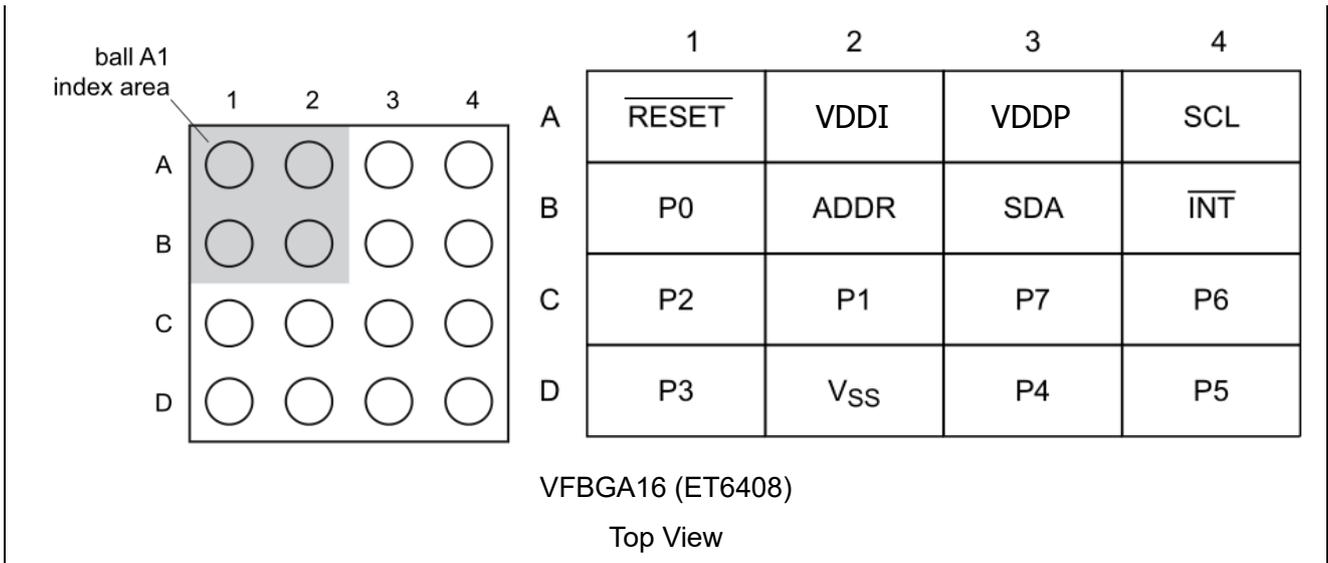
ET6408

- ◆ 典型值 $V_{HYS} = 0.2V$ (1.8V 电源下)
- ◆ 典型值 $V_{HYS} = 0.3V$ (2.5V 电源下)
- ◆ 典型值 $V_{HYS} = 0.2V$ (3.3V 电源下)
- ◆ 典型值 $V_{HYS} = 0.15V$ (5.0V 电源下)
- SDA/SCL 输入高电平最小值小于 1.2V
- 复位输入信号低电平有效 (\overline{RESET})
- 中斷开漏输出信号低电平有效 (\overline{INT})
- 400 kHz 快速模式 (Fast-mode) I²C 总线
- 内部上电复位
- 输出具有推挽和开漏方式
- 上下拉电阻配置
- SCL/SDA 输入端口噪声滤波
- P 端口最大驱动能力 25mA, 直接驱动 LED
- Latch-up 性能大于 100mA
- ESD 性能
 - ◆ HBM 模型高于 2000 V PASS
 - ◆ CDM 模型高于 1000 V PASS
- 封装形式:
 - ◆ ET6408V TSSOP16 (width 4.4 mm)
 - ◆ ET6408Y QFN16 (3mm ×3mm×0.75 mm)
 - ◆ ET6408 BGA16 (1.6mm ×1.6mm ×0.5mm)

管脚排列图



ET6408

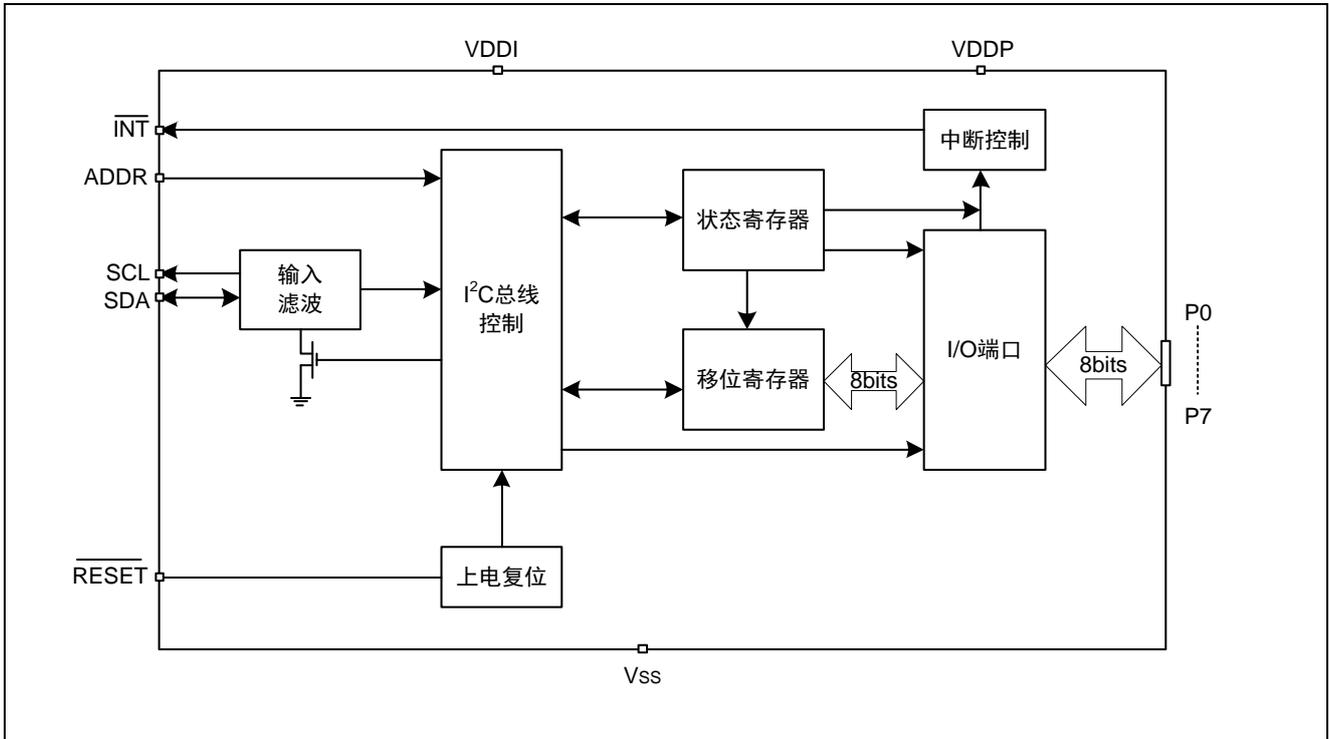


管脚定义

管脚名称	管脚编号			管脚描述
	TSSOP16	QFN16	BGA16	
VDDI	1	15	A2	I ² C/SM 总线电源。直接连接到外部 I ² C 主控设备的 V _{DD}
ADDR	2	16	B2	I ² C 地址选择输入，直接连接到 VDDP 或 VSS
RESET	3	1	A1	复位输入，低电平有效。通过一个上拉电阻连接到 VDDI
P0	4	2	B1	端口输入/输出 0
P1	5	3	C2	端口输入/输出 1
P2	6	4	C1	端口输入/输出 2
P3	7	5	D1	端口输入/输出 3
V _{SS}	8	6	D2	电源地
P4	9	7	D3	端口 0 输入/输出 4
P5	10	8	D4	端口 0 输入/输出 5
P6	11	9	C4	端口 0 输入/输出 6
P7	12	10	C3	端口 0 输入/输出 7
INT	13	11	B4	中断输出，通过一个上拉电阻连接到 VDDI 或 VDDP
SCL	14	12	A4	串行时钟输入，通过上拉电阻连接到 VDDI
SDA	15	13	B3	串行数据输入，通过上拉电阻连接到 VDDI
VDDP	16	14	A3	端口 P 电源。

ET6408

功能框图

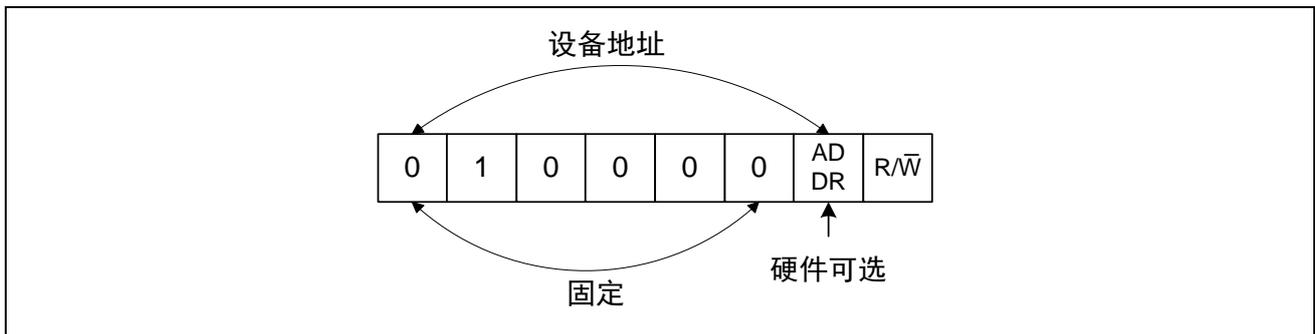


功能描述

电平转换范围选择

VDDI (SDA 和 SCL)	VDDP (端口 P)
1.8 V ~ 5.0V	1.8 V ~ 5.0V

器件地址设定



ADDR 是硬件地址引脚，它可以保持为高（逻辑 1）或低（逻辑 0），以分配两个器件地址。从地址的最后一位（R/W）定义要执行的操作（读或写）。高（逻辑 1）执行读操作，低（逻辑 0）执行写操作。

ET6408

接口字节定义

字节	位							
	7(MSB)	6	5	4	3	2	1	0(LSB)
I ² C 总线地址	L	H	L	L	L	L	ADDR	R/W
I/O 数据总线	P7	P6	P5	P4	P3	P2	P1	P0

指针寄存器和命令字节

在设备地址字节成功响应后，总线控制器发送一个命令字节，即指针寄存器，该寄存器只能写。

命令字节对应指定执行操作的内部寄存器。当发送一个新的命令字节，读指令将继续访问上次寻址的寄存器，直到新的命令字节被写入为止。

指针寄存器	命令字节	内部寄存器	协议	默认值
0000 0000	00h	输入寄存器	只读	xxxx xxxx
0000 0001	01h	输出寄存器	读写	1111 1111
0000 0010	02h	极性反转寄存器	读写	0000 0000
0000 0011	03h	配置寄存器	读写	1111 1111
0100 0000	40h	输出驱动强度寄存器 0	读写	1111 1111
0100 0001	41h	输出驱动强度寄存器 1	读写	1111 1111
0100 0010	42h	输入锁存寄存器	读写	0000 0000
0100 0011	43h	上下拉使能寄存器	读写	0000 0000
0100 0100	44h	上下拉选择寄存器	读写	1111 1111
0100 0101	45h	中断屏蔽寄存器	读写	1111 1111
0100 0110	46h	中断状态寄存器	只读	0000 0000
0100 1111	4Fh	输出端口配置寄存器	读写	0000 0000

内部寄存器说明

地址	位	7	6	5	4	3	2	1	0
00h	符号	I7	I6	I5	I4	I3	I2	I1	I0
	默认	X	X	X	X	X	X	X	X
01h	符号	O7	O6	O5	O4	O3	O2	O1	O0
	默认	1	1	1	1	1	1	1	1
02h	符号	N7	N6	N5	N4	N3	N2	N1	N0
	默认	0	0	0	0	0	0	0	0
03h	符号	C7	C6	C5	C4	C3	C2	C1	C0
	默认	1	1	1	1	1	1	1	1
40h	符号	CC3		CC2		CC1		CC0	

ET6408

	默认	1	1	1	1	1	1	1	1
41h	符号	CC7		CC6		CC5		CC4	
	默认	1	1	1	1	1	1	1	1
42h	符号	L7	L6	L5	L4	L3	L2	L1	L0
	默认	0	0	0	0	0	0	0	0
43h	符号	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
	默认	0	0	0	0	0	0	0	0
44h	符号	PUD7	PUD6	PUD5	PUD4	PUD3	PUD2	PUD1	PUD0
	默认	1	1	1	1	1	1	1	1
45h	符号	M7	M6	M5	M4	M3	M2	M1	M0
	默认	1	1	1	1	1	1	1	1
46h	符号	S7	S6	S5	S4	S3	S2	S1	S0
	默认	0	0	0	0	0	0	0	0
4Fh	符号	保留位							ODEN
	默认	0	0	0	0	0	0	0	0

输入寄存器 (00h)

输入寄存器（寄存器 0）反映引脚的输入逻辑电平，无论该引脚是由配置寄存器定义为输入还是输出。输入寄存器只读，写入这些寄存器没有效果。默认值“X”由外部逻辑电平决定。

注：P 端口在输入状态且未配置成上下拉，不允许悬空。

输出寄存器 (01h)

输出寄存器（寄存器 1）显示配置寄存器定义为输出的引脚的输出逻辑电平。这些寄存器中的值对定义为输入的引脚没有影响。从这些寄存器读取的值反映了写入这些寄存器的值，而不是实际的引脚值。

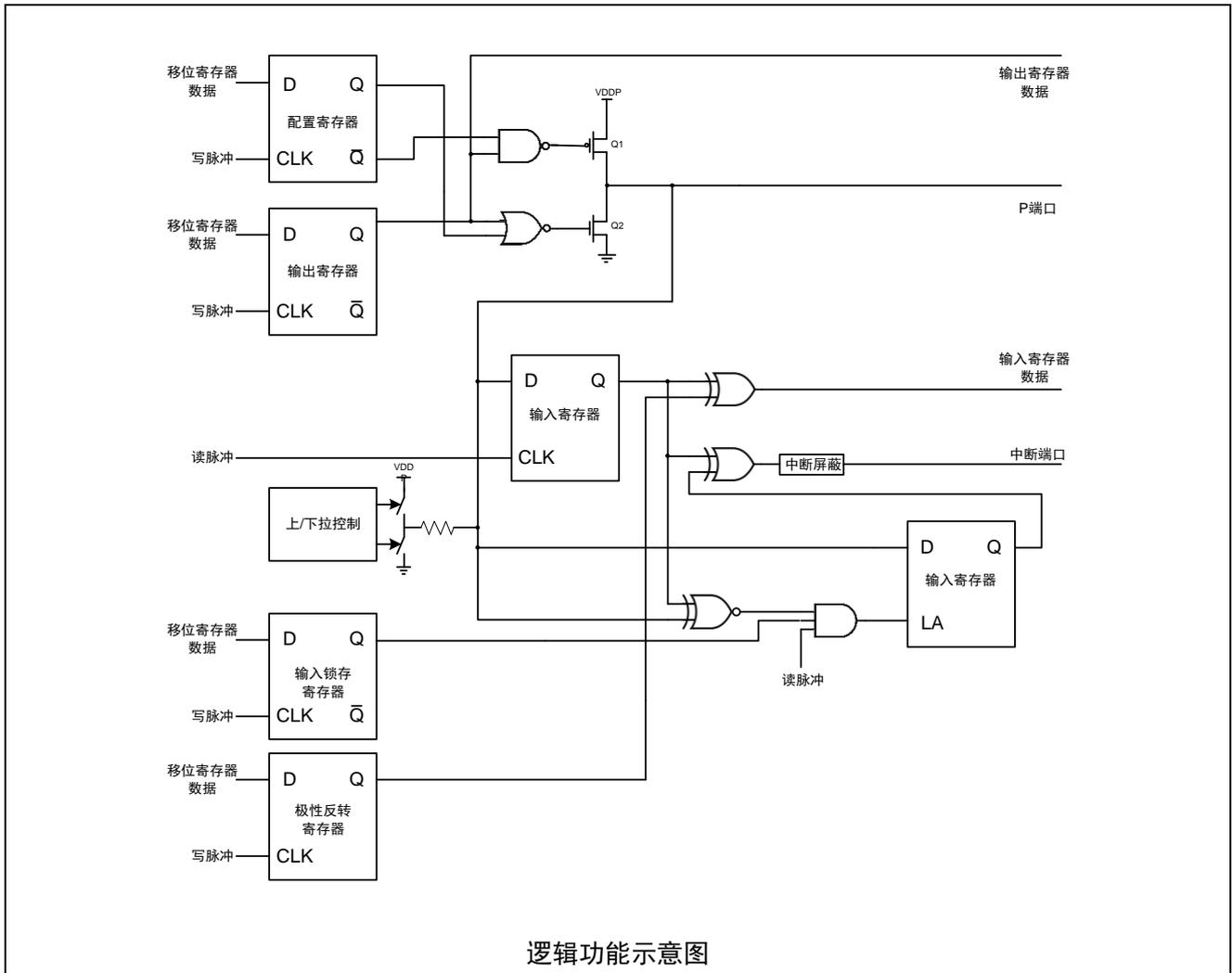
极性反转寄存器 (02h)

极性反转寄存器（寄存器 2）允许配置寄存器定义为输入的引脚的极性反转。如果这些寄存器中的某一位被置为“1”，则对应的端口引脚的极性在输入寄存器中反转。如果这些寄存器中的某一位被置为“0”，则对应的端口引脚的极性保持不变。

配置寄存器 (03h)

配置寄存器（寄存器 3）配置 I/O 引脚的方向。如果这些寄存器中的某一位被置为“1”，则对应的端口引脚作为高阻抗输入端口。如果这些寄存器中的某一位被置为“0”，则对应的端口引脚作为输出端口。

ET6408



逻辑功能示意图

输出驱动强度寄存器（40h,41h）

输出驱动强度寄存器（寄存器 40 和 41）配置 GPIO 端口作为输出时的驱动能力大小，每两位对应一个 P 端口，例如 CC7 对应 P7 端口，CC6 对应 P6 端口。数据 00b/01b/10b 对应的驱动能力分别为数据 11b 状态下的驱动能力的 $\frac{1}{4}$ / $\frac{1}{2}$ / $\frac{3}{4}$ 。

能力的 $\frac{1}{4}$ / $\frac{1}{2}$ / $\frac{3}{4}$ 。

输入锁存寄存器（42h）

输入锁存寄存器（寄存器 42），GPIO 端口处于输入状态下有效。

当该寄存器配置为“0”时：

对应的处于输入端口的 GPIO 端口状态发生变化，则 $\overline{\text{INT}}$ 端口产生中断信号；当读取输入寄存器数据后，中断信号清零；或者当该端口的状态恢复，中断信号也会清零。

当该寄存器配置为“1”时：

对应的处于输入端口的 GPIO 端口状态发横变化，则 $\overline{\text{INT}}$ 端口产生中断信号；只有通过读取输入寄存器数据，

ET6408

中断信号才能清零；而且在未读取输入寄存器信号时，即便该端口的状态恢复，输入寄存器的数据也不变，且中断不被清零。

上下拉使能寄存器（43h）

上下拉使能寄存器（寄存器 43）用来配置对应 GPIO 端口上下拉电阻功能的使能状态（上下拉则通过上下拉选择寄存器配置）；当寄存器配置为“0”，则对应的 GPIO 端口没有上下拉的功能；当寄存器配置为“1”，则对应的 GPIO 端口具有上下拉功能。当把 GPIO 端口配置成开漏输出时，上下使能功能关闭。

上下拉选择寄存器（44h）

当配置好上下拉使能寄存器（寄存器 43）后，则通过配置上下拉选择寄存器（寄存器 44）来选择 GPIO 端口的上拉或是下拉功能。配置成“1”，则为上拉电阻；配置成“0”，则为下拉电阻。电阻的典型值为 100K Ω 。

中断屏蔽寄存器（45h）

中断屏蔽寄存器（寄存器 45）是用来屏蔽 GPIO 端口的中断响应功能；当配置成 0 时，对应的端口在输入状态时，状态发生变化， $\overline{\text{INT}}$ 端口会产生中断信号；当配置成 1 时，对应的端口在输入状态时，状态发生变化， $\overline{\text{INT}}$ 端口不会产生中断信号。

中断状态寄存器（46h）

中断状态寄存器为只读寄存器，读取到某一位为“1”，则表示该位对应的端口为中断源，如果为“0”则不是中断源。如果中断屏蔽寄存器配置为“1”，则读取对应的位数据为“0”。

输出状态配置寄存器（4Fh）

输出状态配置寄存器（4F 寄存器）的第 0 位用来配置 GPIO 端口在输出状态时的端口结构：

该位为“0”，GPIO 输出则为推挽结构（结构框图中的 Q1 和 Q2 分别在输出高电平和低电平时有效）；当该位为“1”，则 GPIO 端口输出状态下为开漏结构，结构框图中的 Q1 始终处于截止状态，输出低电平时 Q2 有效，输出高电平时，Q2 截止。

I/O 端口

当一个 I/O 配置为输入端口时，MOS 管 Q1 和 Q2 关闭，作为一个高阻抗输入端口。

当一个 I/O 配置为输出端口时，MOS 管 Q1 或 Q2 开启，由输出寄存器的状态决定。在这种情况下，I/O 引脚和 VDDP 或 VSS 之间存在低阻抗路径。

此外，在 GPIO 端口在处于非开漏输出状态时（即输入或者推挽输出），端口还可以配置成具有上拉或者下拉电阻的结构；输出状态下还可以配置成开漏输出结构。

ET6408

上电复位

当电源（从 0V）加到 VDDP 上，上升到 VPOR 之前，内部上电复位电路将芯片保持在复位状态。当电源高于 VPOR，复位状态被释放，ET6408 的寄存器和 I²C 总线/SM 总线的状态机初始化为默认状态。在那之后，VDDP 必须降至 VPOR 以下，并恢复到工作电压，则进行一次新的复位。

复位输入 ($\overline{\text{RESET}}$)

在处于 VDDP 工作电压范围时， $\overline{\text{RESET}}$ 输入可以用于初始化系统。可以通过将 $\overline{\text{RESET}}$ 端口拉低保持时间 t_{wrst} 来实现复位。一旦 $\overline{\text{RESET}}$ 被拉低，ET6408 的寄存器和 I²C 总线/SM 总线的状态机初始化为默认状态。如果 $\overline{\text{RESET}}$ 没有使用有源连接，则该输入需要接一个上拉电阻到 VDDI。

中断输出 ($\overline{\text{INT}}$)

配置好中断屏蔽寄存器后，GPIO 端口对应位配置成“0”，该端口在输入状态下才能激活中断功能

中断由处于输入模式中的 GPIO 端口输入的任何上升或下降沿产生。在时间 t_{vINT} 后， $\overline{\text{INT}}$ 信号有效。当端口上的数据更改为原始值或读取了端口对应的输入寄存器数据后，中断被重置。在读模式下，在 SCL 上升沿后的应答 (ACK) 或无应答 (NACK) 位， $\overline{\text{INT}}$ 输出重置。由于在此脉冲期间重置中断，在 ACK 或 NACK 时钟脉冲期间发生的中断可能会丢失（或非常短）。重置后，I/O 端口的任何变化都会被检测，并产生 $\overline{\text{INT}}$ 中断。

配置为输出的引脚不会产生中断。如果引脚的状态与输入寄存器的内容不匹配，则将 I/O 从输出更改为输入可能会导致错误中断。

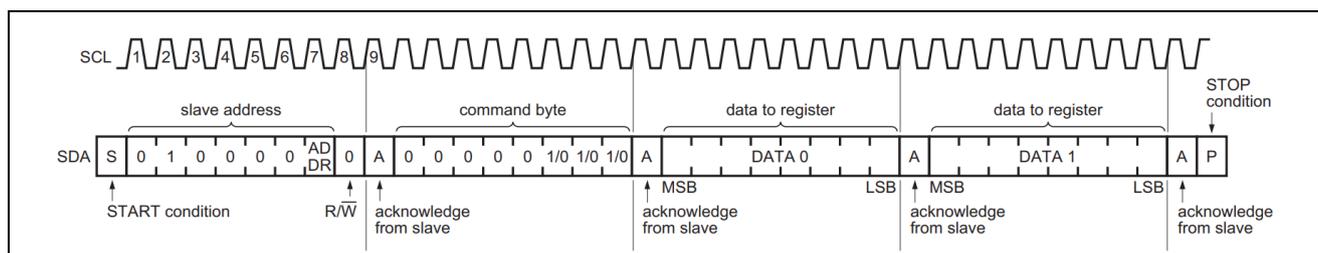
$\overline{\text{INT}}$ 为开漏输出结构，根据应用情况通过上拉电阻连接到 VDDP 或 VDDI。需要将 $\overline{\text{INT}}$ 连接到需要中断信息的设备的电压源。此外，通过配置输入锁存寄存器，可以变更中断重置的条件。

总线协议

ET6408 是一个 I²C 总线从设备。通过 I²C 总线的读写指令，在主从设备之间进行数据交换。这两条通信线路分别是：串行数据线 (SDA) 和串行时钟线 (SCL)。当连接到设备的输出级时，两条线路都必须通过上拉电阻连接到电源。只有在总线空闲时才可以启动数据传输。

写命令

通过发送设备地址，并将最低有效位 (LSB) 置为逻辑 0，将数据传输到 ET6408。命令字节在设备地址之后发送，以确定哪个寄存器接收命令字节之后的数据（除了 40h,41h 寄存器组外，其他寄存器不支持连续写模式）。

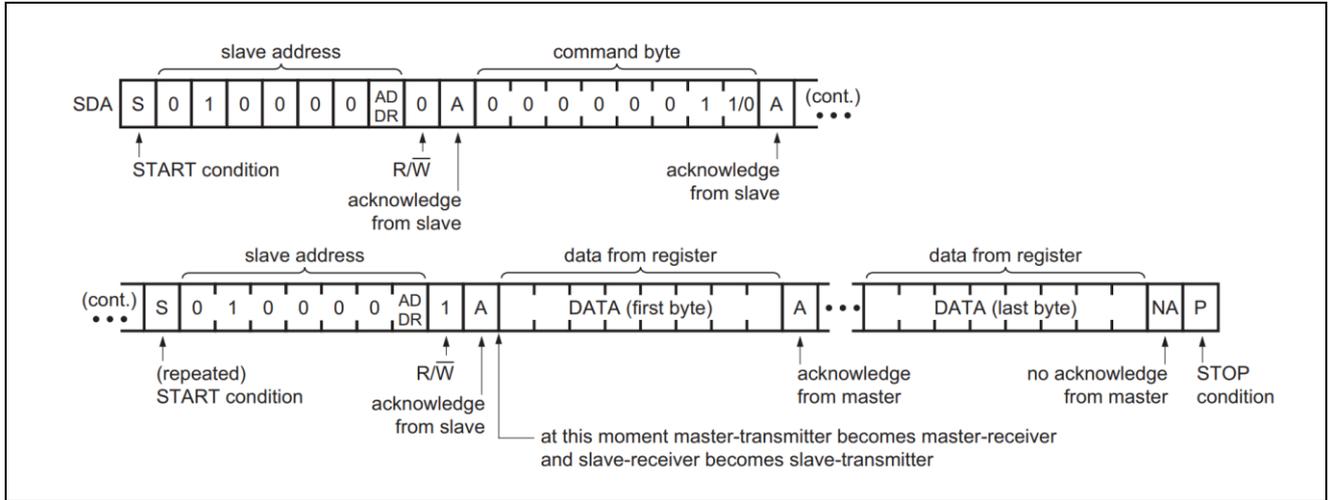


ET6408

读命令

通过发送设备地址，并将最低有效位（LSB）置为逻辑 1，可以从 ET6408 读取数据。命令字节在设备地址之后发送，以确定要读取哪个寄存器的数据。

命令字节定义的寄存器中的数据由 ET6408 发送。接收到数据后，主控总线必须无应答。



ET6408

极限参数

超过极限参数表中列出的数值可能会损坏 IC。如果超过这些限制中的任何一个,可能会发生损坏并影响可靠性。

符号	参数	条件	Min	Max	单位
V _{DDI}	I ² C-bus Supply Voltage		-0.5	+6.5	V
V _{DDP}	Supply Voltage Port P		-0.5	+6.5	V
V _I	Input Voltage		-0.5	+6.5	V
V _O	Output Voltage		-0.5	+6.5	V
I _{IK}	Input Clamping Current	ADDR, $\overline{\text{RESET}}$, SCL; V _I < 0V	-	-20	mA
I _{OK}	Output Clamping Current	$\overline{\text{INT}}$; V _O < 0V	-	-20	mA
I _{IOK}	Input/output Clamping Current	P port; V _O < 0V or V _O > V _{DDP}	-	±20	mA
		SDA; V _O < 0V or V _O > V _{DDI}	-	±20	mA
I _{OL}	LOW-level Output Current	P port; V _O = 0V to V _{DDP}	-	50	mA
		SDA, $\overline{\text{INT}}$; V _O = 0V to V _{DDI}	-	25	mA
I _{OH}	HIGH-level, Output Current	P port; V _O = 0V to V _{DDP}	-	25	mA
I _{DD}	Supply Current	through V _{SS}	-	200	mA
I _{DDP}	Supply Current Port P	through V _{DDP}	-	160	mA
I _{DDI}	I ² C-bus Supply Current	through V _{DDI}	-	10	mA
T _{STG}	Storage Temperature		-65	+150	°C
T _{JMAX}	Max Junction Temperature		-	+150	°C

推荐工作条件

符号	参数	条件	Min	Max	单位
V _{DDI}	I ² C-bus Supply Voltage		1.65	5.5	V
V _{DDP}	Supply Voltage Port P		1.65	5.5	V
V _{IH}	HIGH-level Input Voltage	SCL, SDA (V _{DDI} = 1.8V)	0.96	5.5	V
		SCL, SDA (V _{DDI} ≥ 2.5V)	1.2	5.5	V
		$\overline{\text{RESET}}$	0.7*V _{DDI}	5.5	V
		ADDR, P7 to P0	0.7*V _{DDP}	5.5	V
V _{IL}	LOW-level Input Voltage	SCL, SDA	-0.5	0.36	V
		$\overline{\text{RESET}}$	-0.5	0.3*V _{DDI}	V
		ADDR, P7 to P0	-0.5	0.3*V _{DDP}	V
I _{OH}	HIGH-level Output Current	P7 to P0	-	10	mA
I _{OL}	LOW-level Output Current	P7 to P0	-	23	mA
T _A	Ambient Temperature	operating in free air	-40	+85	°C

ET6408

电参数

直流电参数

$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$; $V_{DD1} = 1.65\text{V}$ to 5.5V ; 除非特别指定。

符号	参数	条件	Min	Typ	Max	单位
V_{IK}	Input Clamping Voltage	$I_I = -18\text{mA}$	-1.2	-	-	V
V_{POR}	Power-on Reset Voltage	$V_I = V_{DDP}$ or V_{SS} ; $I_O = 0\text{mA}$; $T_A = 25^{\circ}\text{C}$	-	-	1.55	V
V_{OH}	HIGH-level Output Voltage	P port				
		$I_{OH} = -8\text{mA}$; $V_{DDP} = 1.65\text{V}$	1.2	-	-	V
		$I_{OH} = -10\text{mA}$; $V_{DDP} = 1.65\text{V}$	1.1	-	-	V
		$I_{OH} = -8\text{mA}$; $V_{DDP} = 2.3\text{V}$	1.8	-	-	V
		$I_{OH} = -10\text{mA}$; $V_{DDP} = 2.3\text{V}$	1.7	-	-	V
		$I_{OH} = -8\text{mA}$; $V_{DDP} = 3.0\text{V}$	2.6	-	-	V
		$I_{OH} = -10\text{mA}$; $V_{DDP} = 3.0\text{V}$	2.5	-	-	V
		$I_{OH} = -8\text{mA}$; $V_{DDP} = 4.5\text{V}$	4.1	-	-	V
$I_{OH} = -10\text{mA}$; $V_{DDP} = 4.5\text{V}$	4.0	-	-	V		
V_{OL}	LOW-level Output Voltage	P port; $I_{OL} = 8\text{mA}$				
		$V_{DDP} = 1.65\text{V}$	-	-	0.45	V
		$V_{DDP} = 2.3\text{V}$	-	-	0.25	V
		$V_{DDP} = 3.0\text{V}$	-	-	0.25	V
I_{OL}	LOW-level Output Current	$V_{OL} = 0.4\text{V}$; $V_{DDP} = 1.65\text{V}$ to 5.5V				
		SDA	3	-	-	mA
		$\overline{\text{INT}}$	3	15	-	mA
		P port				
		$V_{OL} = 0.5\text{V}$; $V_{DDP} = 1.65\text{V}$	8	10	-	mA
		$V_{OL} = 0.7\text{V}$; $V_{DDP} = 1.65\text{V}$	10	13	-	mA
		$V_{OL} = 0.5\text{V}$; $V_{DDP} = 2.3\text{V}$	8	10	-	mA
		$V_{OL} = 0.7\text{V}$; $V_{DDP} = 2.3\text{V}$	10	13	-	mA
		$V_{OL} = 0.5\text{V}$; $V_{DDP} = 3.0\text{V}$	8	14	-	mA
		$V_{OL} = 0.7\text{V}$; $V_{DDP} = 3.0\text{V}$	10	19	-	mA
I_I	Input Current	$V_{DDP} = 1.65\text{V}$ to 5.5V				
		SCL, SDA, $\overline{\text{RESET}}$; $V_I = V_{DD1}$ or V_{SS}	-	-	± 1	μA
		ADDR; $V_I = V_{DDP}$ or V_{SS}	-	-	± 1	μA
I_{IH}	HIGH-level Input Current	P port; $V_I = V_{DDP}$; $V_{DDP} = 1.65\text{V}$ to 5.5V	-	-	1	μA
I_{IL}	LOW-level Input Current	P port; $V_I = V_{SS}$; $V_{DDP} = 1.65\text{V}$ to 5.5V	-	-	1	μA

ET6408

直流电参数 (续)

符号	参数	条件	Min	Typ	Max	单位	
I _{DD}	Supply Current	I _{DDI} + I _{DDP} ; SDA, P port, ADDR, $\overline{\text{RESET}}$ V _I on SDA and $\overline{\text{RESET}}$ = V _{DDI} or V _{SS} ; V _I on P port and ADDR = V _{DDP} ; I _O = 0mA; I/O = inputs; F _{SCL} = 400kHz					
		V _{DDP} = 3.6V to 5.5V	-	10	25	uA	
		V _{DDP} = 2.3V to 3.6V	-	6.5	15	uA	
		V _{DDP} = 1.65V to 2.3V	-	4	9	uA	
		I _{DDI} + I _{DDP} ; SCL, SDA, P port, ADDR, $\overline{\text{RESET}}$; V _I on SCL, SDA and $\overline{\text{RESET}}$ = V _{DDI} or V _{SS} ; V _I on P port and ADDR = V _{DDP} ; I _O = 0mA; I/O = inputs; F _{SCL} = 0kHz					
		V _{DDP} = 3.6V to 5.5V	-	1.5	7	uA	
		V _{DDP} = 2.3V to 3.6V	-	1	3.2	uA	
		V _{DDP} = 1.65V to 2.3V	-	0.5	1.7	uA	
		Active mode; I _{DDI} + I _{DDP} ; P port, ADDR, $\overline{\text{RESET}}$; V _I on $\overline{\text{RESET}}$ = V _{DDI} ; V _I on P port and ADDR = V _{DDP} ; I _O = 0mA; I/O = inputs; F _{SCL} = 400kHz, continuous register read					
		V _{DDP} = 3.6V to 5.5V	-	60	125	uA	
V _{DDP} = 2.3V to 3.6V	-	40	75	uA			
V _{DDP} = 1.65V to 2.3V	-	20	45	uA			
ΔI _{DD}	Additional Quiescent Supply Current	SCL, SDA, $\overline{\text{RESET}}$; one input at V _{DDI} - 0.6V, other inputs at V _{DDI} or V _{SS} ; V _{DDP} = 1.65V to 5.5V	-	-	25	uA	
		P port, ADDR; one input at V _{DDP} - 0.6V, other inputs at V _{DDP} or V _{SS} ; V _{DDP} = 1.65V to 5.5V	-	-	80	uA	
C _I	Input Capacitance	V _I = V _{DDI} or V _{SS} ; V _{DDP} = 1.65V to 5.5V	-	4.2	7	pF	
C _{IO}	Input/output Capacitance	V _{IO} = V _{DDI} or V _{SS} ; V _{DDP} = 1.65V to 5.5V	-	4.5	8	pF	
		V _{IO} = V _{DDP} or V _{SS} ; V _{DDP} = 1.65V to 5.5V	-	4.5	8.5	pF	

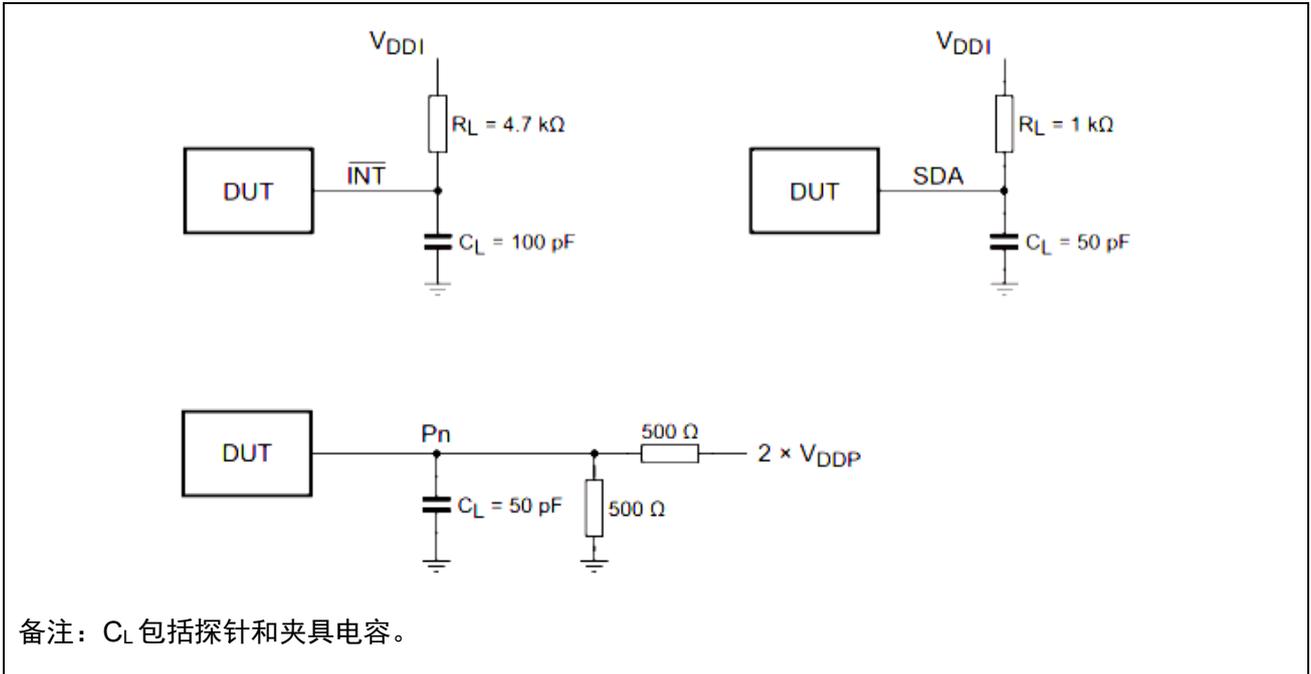
ET6408

交流电参数

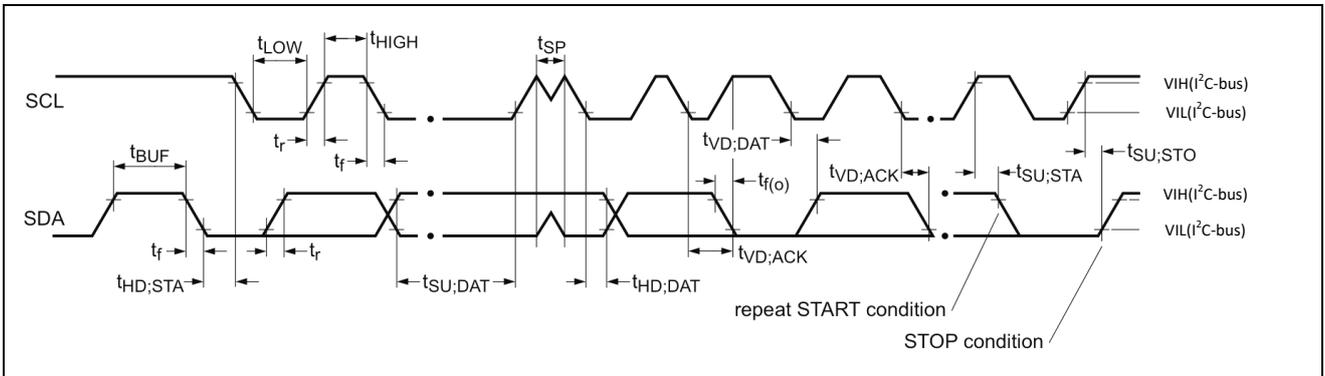
$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$; $V_{DDI} = 1.65\text{V to } 5.5\text{V}$; 除非特别指定。

符号	参数	条件	Standard-mode I ² C-bus		Fast-mode I ² C-bus		单位
			Min	Max	Min	Max	kHz
f _{SCL}	SCL clock frequency		0	100	0	400	us
t _{HIGH}	HIGH period of the SCL clock		4	-	0.6	-	us
t _{LOW}	LOW period of the SCL clock		4.7	-	1.3	-	us
t _{SP}	Pulse width of spikes that must be suppressed by the input filter		0	50	0	50	ns
t _{SU;DAT}	Data set-up time		250	-	100	-	ns
t _{HD;DAT}	Data hold time		0	-	0	-	ns
t _r	Rise time of both SDA and SCL signals		-	1000	-	300	ns
t _f	Fall time of both SDA and SCL signals			300	-	300	ns
t _{BUF}	Bus free time between a STOP and START condition		4.7	-	1.3	-	us
t _{SU;STA}	Set-up time for a repeated START condition		4.7	-	0.6	-	us
t _{HD;STA}	Hold time (repeated) START condition		4	-	0.6	-	us
t _{SU;STO}	Set-up time for STOP condition		4	-	0.6	-	us
t _{VD;DAT}	Data valid time	SCL LOW to SDA output valid	-	3.45	-	0.9	us
t _{VD;ACK}	Data valid acknowledge time	ACK signal from SCL LOW to SDA (out) LOW	-	3.45	-	0.9	us
t _{wrst}	Reset pulse width		30	-	30	-	ns
t _{recrst}	Reset recovery time		200	-	200	-	ns
t _{rst}	Reset time		600	-	600	-	ns
t _{vINT}	Valid time on pin $\overline{\text{INT}}$	from P port to $\overline{\text{INT}}$	-	1	-	1	us
t _{rstINT}	Reset time on pin $\overline{\text{INT}}$	from SCL to $\overline{\text{INT}}$	-	1	-	1	us
t _{vQ}	Data output valid time	from SCL to P port	-	400	-	400	ns
t _{suD}	Data input set-up time	from P port to SCL	0	-	0	-	ns
t _{hD}	Data input hold time	from P port to SCL	300	-	300	-	ns

ET6408

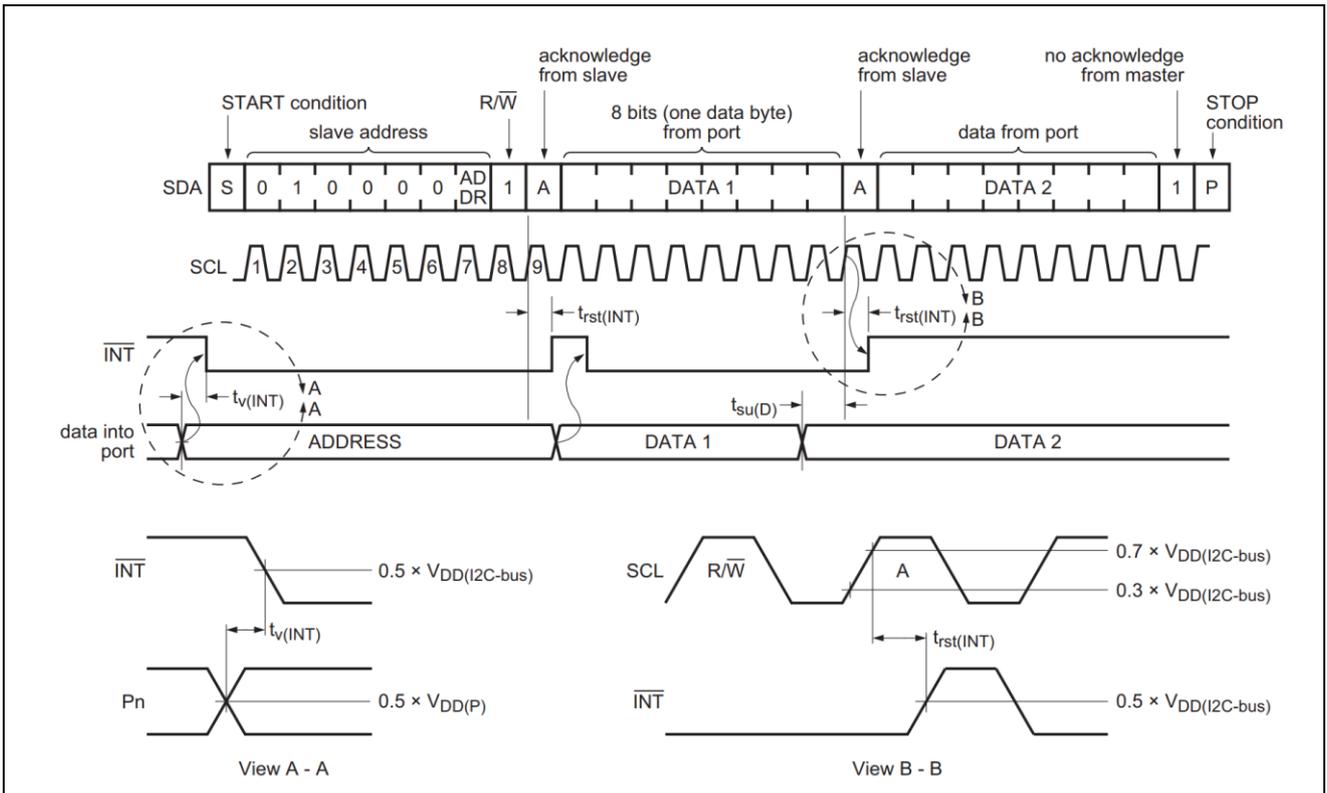


中断、SDA、端口 P 负载配置

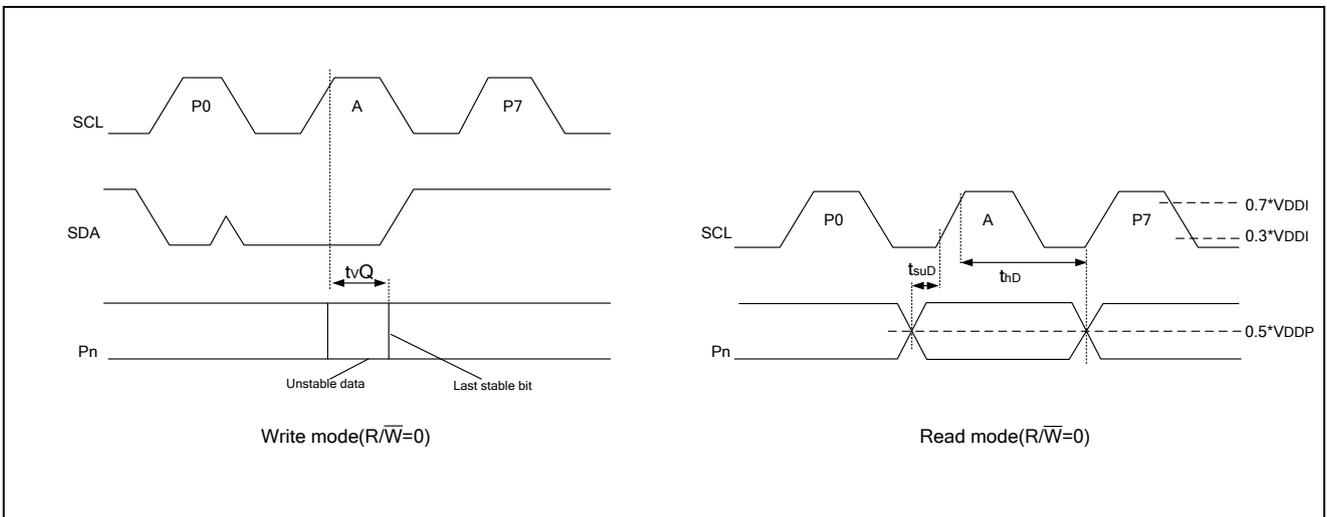


SDA 波形

ET6408

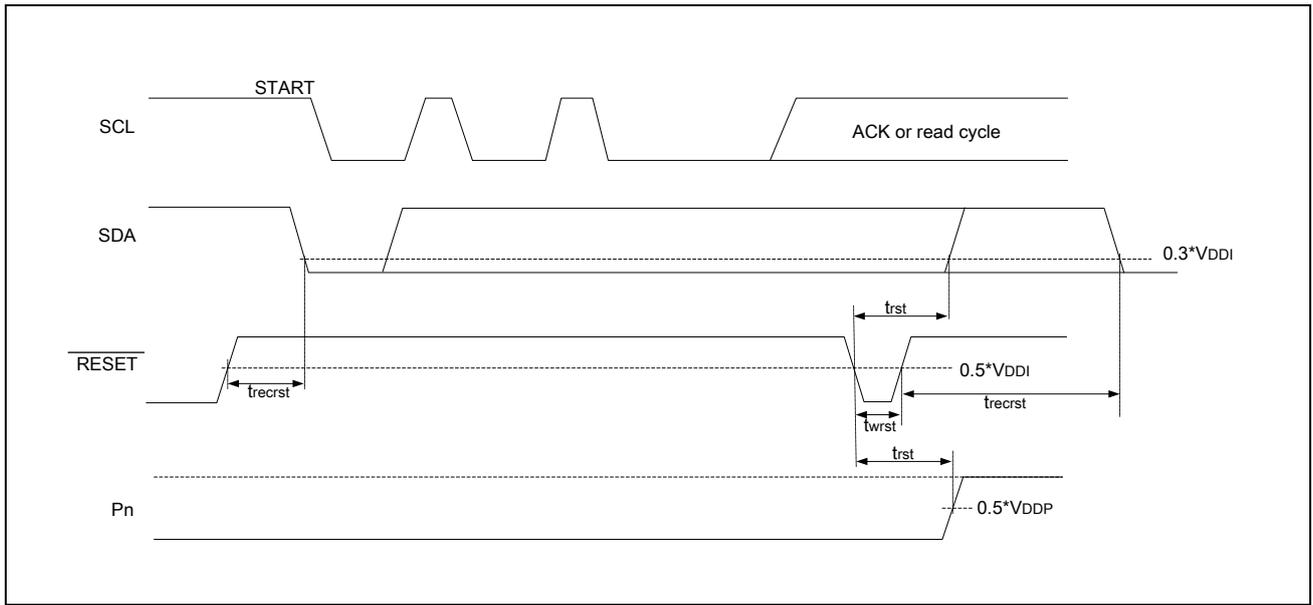


中断、SDA、端口 P 波形



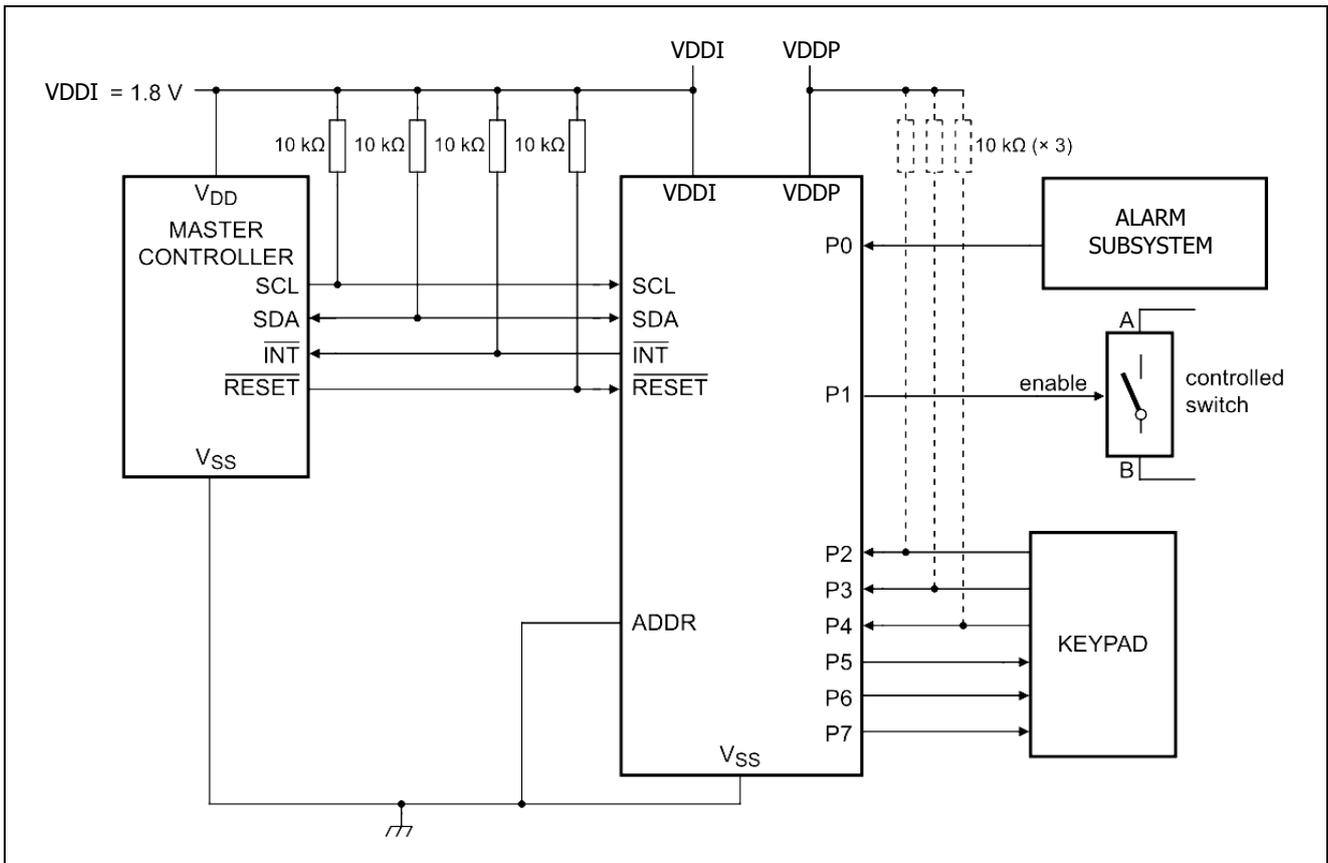
SDA 读写模式波形

ET6408



RESET 波形

参考应用图

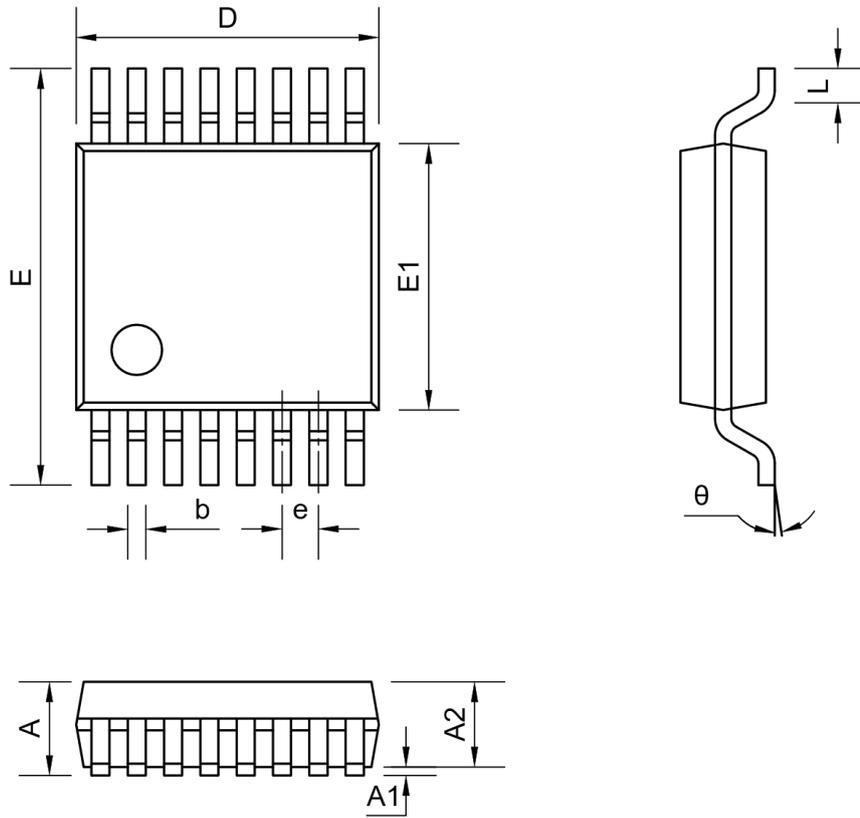


注：P 端口如果悬空，请配置成输出状态，或者带有上下拉的输入状态。

ET6408

封装尺寸

TSSOP16

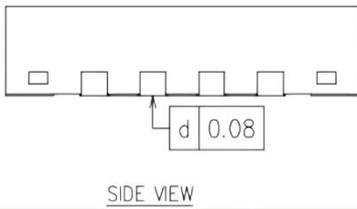
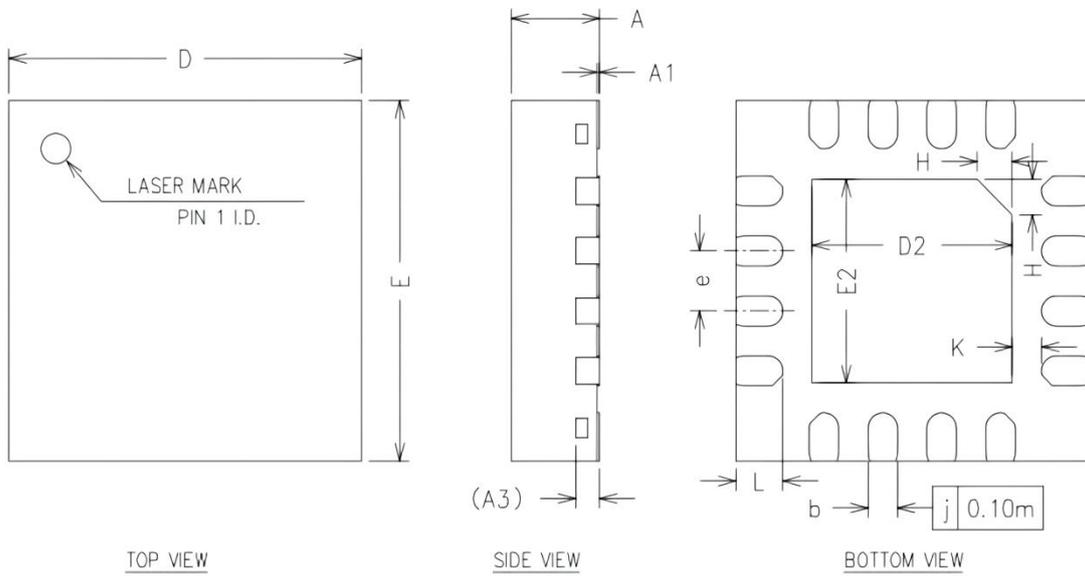


Dimensions Table (Units:mm)

Symbol	Min	Non	Max
A	--	--	1.20
A1	0.05	--	0.15
A2	0.90	--	1.05
b	0.20	--	0.28
D	4.86	4.96	5.06
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.65BSC		
L	0.45	0.60	0.75
θ	0°	--	8°

ET6408

QFN16

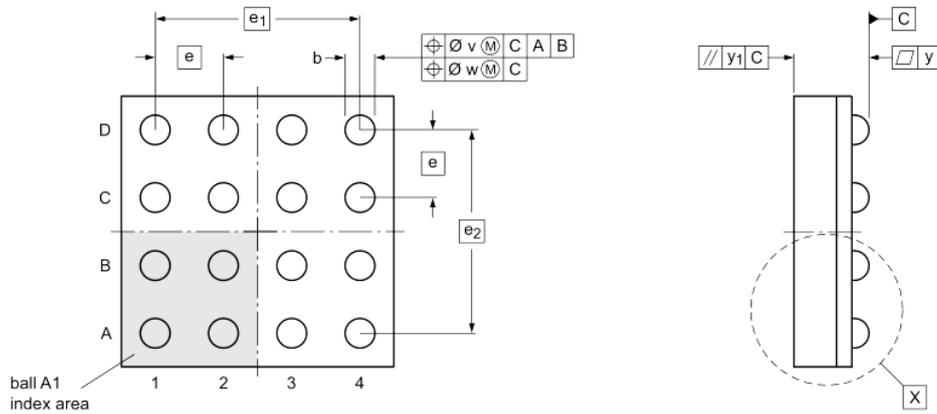
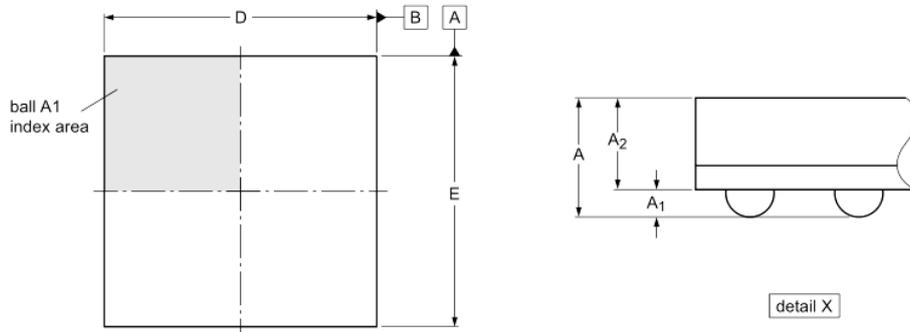


Dimensions Table (Units:mm)

Symbol	Min	Non	Max
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.20REF		
b	0.20	0.25	0.30
D	2.95	3.00	3.05
E	2.95	3.00	3.05
D2	1.60	1.70	1.75
E2	1.60	1.70	1.75
e	0.40	0.50	0.60
H	0.30REF		
K	0.15	-	-
L	0.35	0.40	0.45

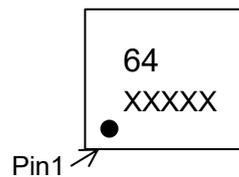
ET6408

BGA16



Unit	A	A ₁	A ₂	b	D	E	e	e ₁	e ₂	v	w	y	y ₁
max	0.5	0.15	0.35	0.205	1.7	1.7							
nom		0.10	0.34	0.175	1.6	1.6	0.4	1.2	1.2	0.15	0.05	0.08	0.1
min		0.05	0.33	0.145	1.5	1.5							

Marking (ET6408Y)



64 - Part Number

XXXX X - Tracking Number

批号后四位

变量 1-9

ET6408

历史版本更新信息

Version	Date	Revision Item	Modifier	Function & Spec Checking	Package & Tape Checking
0.0	2022-02-17	Preliminary Version	Shilj	Shilj	Liuji
1.0	2023-1-3	Offered Version	Shibo	Shilj	Zhuji