

ET2104 - 4 通道 I²C 电平转换/隔离电路

概述

ET2104 是一款高性能，双电源可调，输入输出端口电压范围较宽的双向电平转换器；ET2104 也可以在工作在推挽状态。

ET2104 适用于 I²C 总线兼容主设备信号转换，提供内部 10K Ω 上拉电阻。

该电路设计为 A 端口跟踪 VCCA 电压，B 端口跟踪 VCCB 电压。允许双向 A/B 端口电压在 1.65V 到 5.5V 的任何两个电平之间转换。VCCA 和 VCCB 的范围为 1.65V~5.5V。任何一个 VCC 都可以先通电。如果移除任一 VCC，内部断电控制电路将电路配置成关断状态。

电路的两个端口具有自动方向感测功能，任何一个端口都可以检测到输入信号，并将该信号传输到另一个端口。

特点

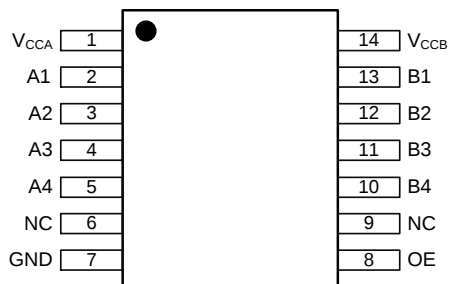
- 在 1.65V~5.5V 之间任意电平进行转换的双向接口电路
- 无需方向控制
- 内置 10K 上拉电阻
- 当 OE 与 VCCA 短接时，不需要额外的 GPIO 端口控制
- I²C 总线隔离功能
- A/B 端口 $V_{OL}=175\text{mV}$ (Typical)， $V_{IL}=150\text{mV}@I_{OL}=6\text{mA}$
- 开漏输入/输出
- 可工作在推挽环境下
- 适用于标准 I²C 模式和快速 I²C 模式
- 支持 I²C 的时钟拉伸和多主模式
- 输入和输出跟踪对应的 VCC 电压
- 无优先上电要求：任意一个 VCC 都可以先上电
- 任意一个 VCC 接地，输出切换成高阻态
- 允许高达 5V 的容差输出
- ESD 参数：
 - B Port: 8KV HBM ESD (vs. GND & vs. VCCB)
 - All Pins: 4KV HBM ESD (per JESD22-A114)
 - All Pins: 2KV CDM ESD (per JESD22-C101)

ET2104

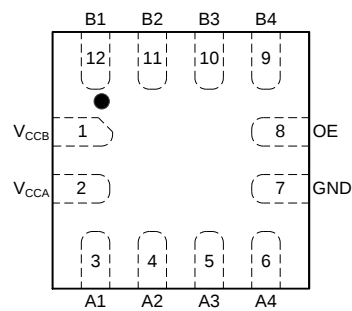
封装形式/型号

Part No.	Package
ET2104	CSP12 (0.5pitch)
ET2104V	TSSOP14
ET2104Y	QFN12(1.8mm x 1.8mm)
ET2104Y2	QFN12(2.0mm x 2.0mm)
ET2104YS	QFN14(3.5mm x 3.5mm)

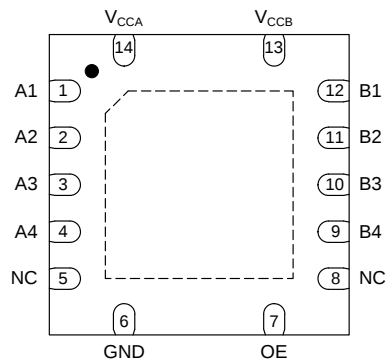
管脚排列图



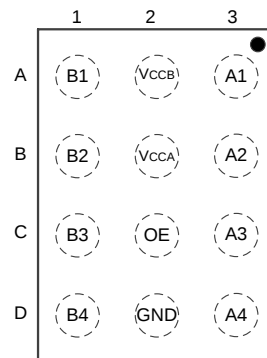
(ET2104V) TSSOP14



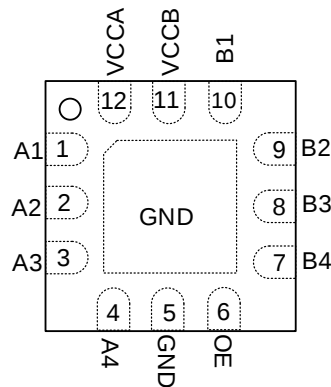
(ET2104Y) QFN12



(ET2104YS) QFN14



(ET2104) CSP12



(ET2104Y2) QFN12
TOP VIEW

ET2104

管脚说明

TSSOP14 ET2104V	CSP12 ET2104	QFN12 ET2104Y	QFN12 ET2104Y2	QFN14 ET2104YS	Symbol	Description
1	B2	2	12	14	V _{CCA}	A-Side Power Supply
2,3,4,5	A3,B3,C3,D3	3,4,5,6	1,2,3,4	1,2,3,4	A1,A2, A3,A4	A-Side Inputs or 3-State Outputs
7	D2	7	5	6	GND	Ground
8	C2	8	6	7	OE	Output Enable port, Input
10,11, 12,13	D1,C1,B1,A1	9,10, 11,12	7,8,9,10	9,10,11,12	B4,B3, B2,B1	B-Side Inputs or 3-State Outputs
14	A2	1	11	13	V _{CCB}	B-Side Power Supply
6,9				5,8	NC	

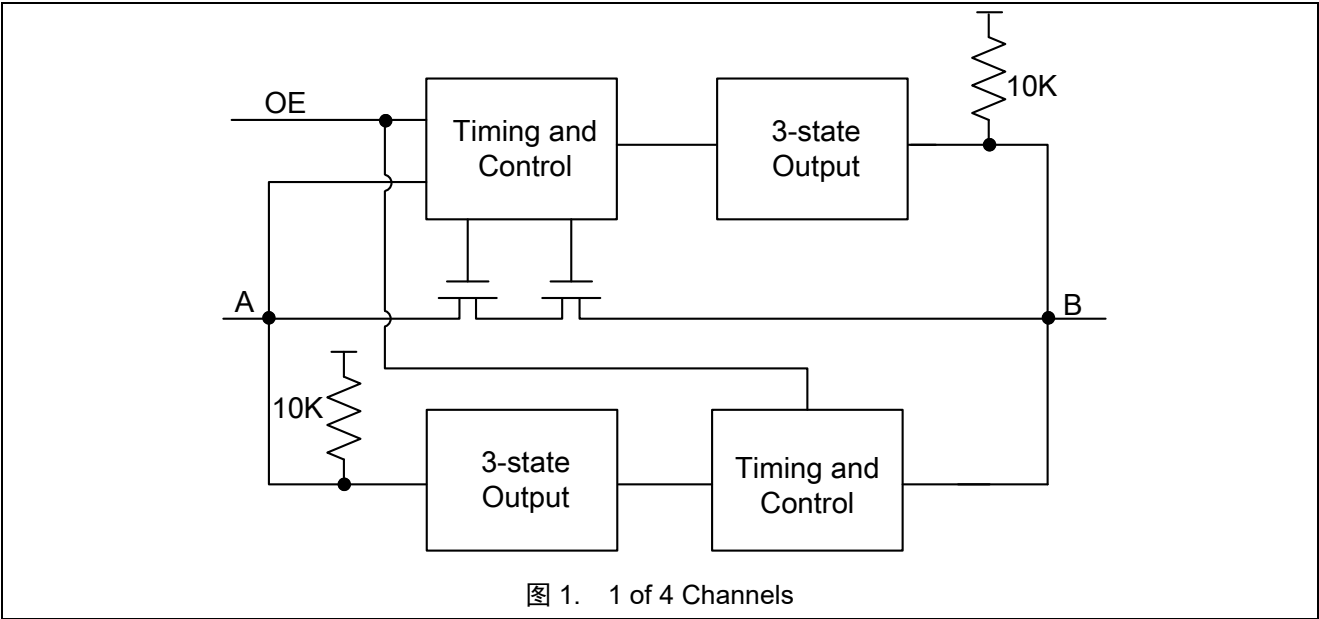
真值表

Control	Outputs
OE ⁽¹⁾	
0	高阻
1	工作状态

注:

1. 如果 OE 端口配置成低电平，则 ET2104 处于关断状态，A0~A4，B0~B4 都处于高阻状态；内部的 10KΩ 上拉电阻也会被断开。

模块图



ET2104

功能描述

上电/断电顺序：

ET2104 是一个双向的电平转换电路，在传输信号时，任何一个 VCC 都可以优先上电。通过优化芯片的设计，使得在任意一个 VCC 为 0V 时，芯片都处于高阻状态；

OE 端口高电平跟踪 VCCA 电压，使用中建议在 OE 和 GND 之间接下拉电阻，以确保在上电/断电期间不会出现总线争用、电流过大或者振荡。下拉电阻的大小取决于驱动 OE 的使能端口的电流接收能力。

建议的上电、断电顺序如下：

建议上电顺序：

- 1、给第一个 VCC 上电；
- 2、给第二个 VCC 上电；
- 3、OE 端口配置成高电平，启动电路。

建议断电顺序：

- 1、OE 端口配置成低电平，关断电路；
- 2、切断任意一个 VCC 电源；
- 3、断开另一个 VCC 电源。

注：

2. 为了节省 GPIO 端口，OE 端口可以硬连接到 VCCA；如果 OE 硬连接到 VCCA，则通电/断电顺序没有额外要求。

应用参考电路

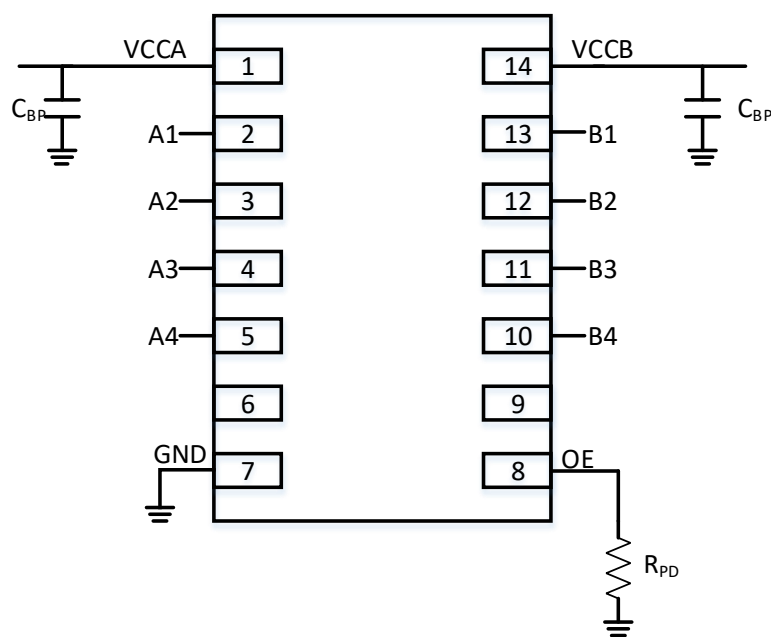


图 2. Application Circuit

注：本应用图仅供参考。

应用信息

ET2104 具有开漏的 I/O 特性，在四个数据端口上，每个端口都由 10K Ω 的内部上拉电阻；如图 1 所示。不过对于不使用的一对数据端口（An/Bn），这两个端口都应该开路，从而消除电路内部上拉电阻上的不要的电流。根据总线的电容，可以在外部并联上拉电阻从而降低总的上拉电阻阻值。根据 I²C 规范（UM10204 rev. 03, June 19, 2007），设计者可以自由降低总上拉电阻阻值，以满足 I²C 边缘速率的最大要求。

例如：根据 I²C 规范，在快速模式（400kbit/s）下的最大边缘速率（30% - 70%）为 300ns。如果总线电容接近最大 400pF，较低的总上拉电阻值有助于将上升时间保持在 300ns 以下。同样地，I²C 规范还规定在快速模式（400kbit/s）期间，串行时钟线的最低峰值时间为 600ns，降低总上拉电阻值也有助于增加 SCL 的高电平时间。

注：

3. I²C 规范 7.1 节为上拉电阻阻值提供了很好的参考指南。

工作原理

ET2104 是专为 I²C 应用中的高性能电平转换和缓冲而设计。图 1 显示了每个双向通道包含两个 N-Gate 和两个动态驱动器。这种混合架构在需要自动定向的 I²C 应用程序中非常有用。

例如下列 3 个 I²C 协议事件：

- 时钟拉伸
- 在主机的写位(第 8 位= 0)之后，从机的 ACK 位(第 9 位= 0)
- 时钟同步和多主仲裁

总线方向需要在不出现边沿变化的情况下，从主机（master）到从机（slave）方向切换到从机（slave）到主机（master）方向。如果在这些情况中，主机（master）端口和从机（slave）端口之间有 I²C 转换器，则 I²C 转换器必须在 A 和 B 端口都是低电平时改变方向。N-Gate 可以非常有效地完成这项任务，因为当 A 和 B 端口都较低时，N-Gate 充当 A 和 B 端口之间的低电阻短路；

由于 I²C 的开漏拓扑结构，I²C 主从端不是推挽驱动。逻辑低电平是被拉低至低电平(I_{SINK})，而逻辑高电平是拉高到高阻态。例如，当主机（master）拉高 SCL (SCL 信号总是来自主机（master）)时，SCL 的上升时间在很大程度上由 RC 时间常数决定，其中 R 为上拉电阻 RPU, C 为总线电容。

如果 ET2104 的 A 端口连接在主机（master）上，B 端口连接在从机（slave）上，N-Gate 在两个端口之间充当低阻短路，直到其中一个端口达到 $V_{CC}/2$ 阈值。当 RC 时间常数达到任一端口的 $V_{CC}/2$ 阈值后，端口的边沿检测器触发两个动态驱动器驱动各自的端口在 LOW-to-HIGH (LH)方向，加速上升沿。实际上，在上升时间内出现了两种不同的上升速率。第一个上升速率(较慢)是总线的 RC 时间常数。第二个上升速率(更快)是加速边沿的动态驱动器。

如果转换器的 A 端口和 B 端口都为高电平（High），则 A 端口和 B 端口之间存在一条高阻抗路径；因为此时两个 N-Gate 都关闭了。如果主机（master）或从机（slave）决定拉低 SCL 或 SDA，该设备的驱动会拉下(I_{SINK}) SCL 或 SDA，直到边沿达到 A 或 B 端口 $V_{CC}/2$ 阈值。当达到 A 或 B 端口的阈值时，端口的边沿检测器触发两个动态驱动器驱动各自的端口在 HIGH-to-LOW (HL)方向，加速下降沿。

VOL vs IOL

I²C 规范规定 V_{IL} 的最大值为 $V_{CC} \times 0.3$ ， V_{OL} 的最大值为 0.4V (I_{OL} 为 3mA)。如果 I²C 转换模块 A 端口连接一个 V_{CC} 为 1.65V 的主机（master），B 端口连接一个 V_{CC} 为 3.3V 的从机（slave），则主机（master）的 V_{IL} 最大值为 495mV($1.65V \times 0.3$)。从机（slave）可以向主机（master）传输 0.4V 的有效逻辑低电平。

如果 I²C 转换器的通道电阻太大，那么转换器上的压降可能会给主机（master）输出一个大于 495mV 的 V_{IL} 。更重要的是，I²C 规范规定，当总线电容接近 400pF 时， I_{OL} 推荐 6mA。更大的 I_{OL} 会增加 I²C 转换器的压降。因此当 I²C 转换器 V_{OL} 较低时，将有利于 I²C 应用。

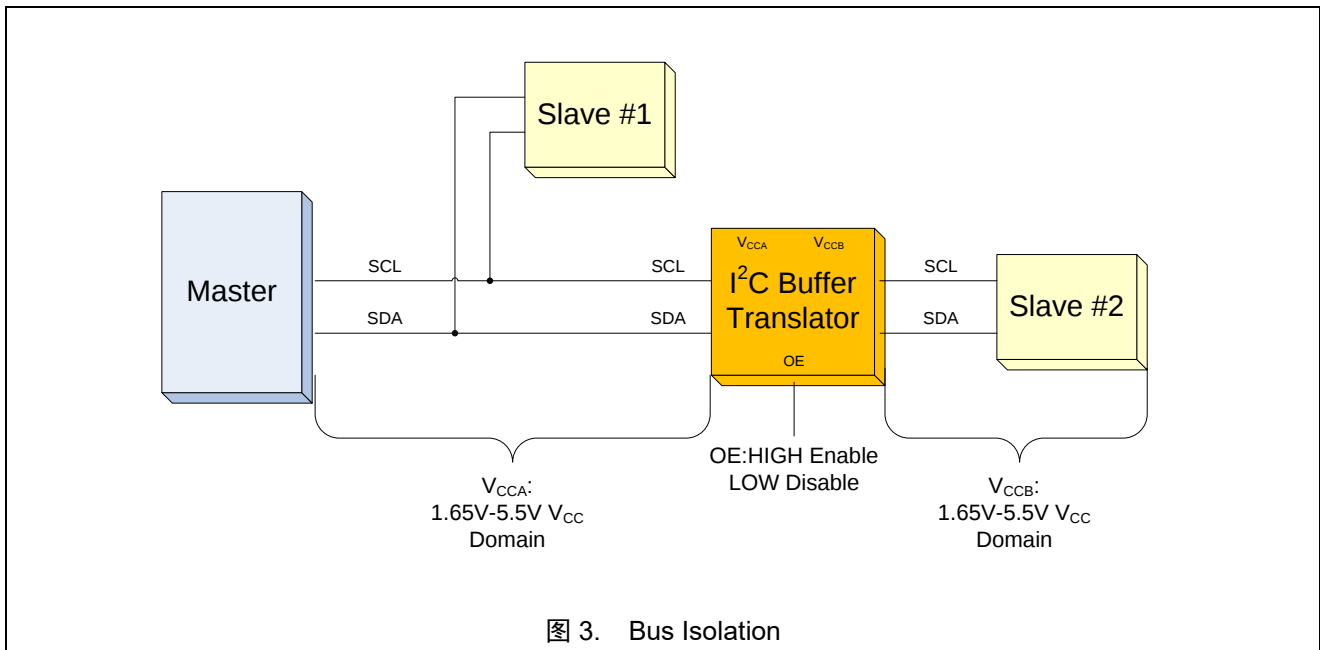
I²C 总线隔离

在以下情况下，ET2104 支持 I²C 总线隔离：

- 总线断开时；
- 任意一个 VCC 接地；

VCC to GND

如果从机 2 是一个突然从 I²C 总线上卸下的摄像头，它将会导致 V_{CCB} 的电压从高电平变成 0；ET2104 会自动强制将 A/B 端口上的 SCL 和 SDA 进入高阻态，从而保证主机和设备 1 之间的 I²C 通信不受影响。



ET2104

极限参数

超过极限参数使用,可能会对电路产生永久性损坏,长时间在极限条件下使用,可能会对电路的可靠性产生影响。

Symbol	Parameter		Min	Max	Unit
V_{CCA}, V_{CCB}	Supply Voltage		-0.5	7.0	V
V_{IN}	DC Input Voltage	A Port	-0.5	7.0	
		B Port	-0.5	7.0	
		Control Input (OE)	-0.5	7.0	
V_O	Output Voltage ⁽⁴⁾	An Outputs 3-State	-0.5	7.0	V
		Bn Outputs 3-State	-0.5	7.0	
		An Outputs Active	-0.5	$V_{CCA} + 0.5$	
		Bn Outputs Active	-0.5	$V_{CCB} + 0.5$	
I_{IK}	DC Input Diode Current	At $V_{IN} < 0V$		-50	mA
I_{OK}	DC Output Diode Current	At $V_O < 0V$		-50	
		At $V_O > V_{CC}$		+50	
I_{OH} / I_{OL}	DC Output Source/Sink Current		-50	+50	
I_{CC}	DC VCC or Ground Current per Supply Pin			± 100	
T_{STG}	Storage Temperature Range		-65	+150	°C
T_J	Junction temperature		-40	+150	°C
ESD	Electrostatic Discharge Capability	Human Body Model, B-Port Pins		8	kV
		Human Body Model, All Pins (JESD22-A114)		4	
		Charged Device Mode, JESD22-C101		2	

注:

4. V_O 不得超过最大极限值;

ET2104

推荐工作条件

Symbol	Parameter		Min	Max	Unit
V_{CCA}, V_{CCB}	Power Supply Operating		1.65	5.5	V
V_{IN}	Input Voltage ⁽⁵⁾	A-Port	0	5.5	V
		B-Port	0	5.5	
		Control Input (OE)	0	V_{CCA}	
T_A	Free Air Operating Temperature		-40	+85	°C

注:

5. 所有未使用的输入以及 I/O 端口必须连接到对应的 VCC 或者 GND 上。

直流电参数⁽⁶⁾

$T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$.

Symbol	Parameter	Conditions		V _{CCA} (V)	V _{CCB} (V)	Min	Typ	Max	Unit
V _{IHA}	High Level Input Voltage A	Data Inputs An		1.65~5.5	1.65~5.5	V _{CCA} -0.4			V
		Control Input OE		1.65~5.5	1.65~5.5	0.7× V _{CCA}			
V _{IHB}	High Level Input Voltage B	Data Inputs Bn		1.65~5.5	1.65~5.5	V _{CCB} -0.4			V
V _{ILA}	Low Level Input Voltage A	Data Inputs An		1.65~5.5	1.65~5.5			0.4	V
		Control Input OE		1.65~5.5	1.65~5.5			0.3× V _{CCA}	
V _{ILB}	Low Level Input Voltage B	Data Inputs Bn		1.65~5.5	1.65~5.5			0.4	V
V _{OL}	Low Level Output Voltage	V _{IL} = 0.15V		1.65~5.5	1.65~5.5			0.4	V
		I _{OL} = 6mA							
I _L	Input Leakage Current	Control Input OE, V _{IN} = V _{CCA} or GND		1.65~5.5	1.65~5.5			±1.0	uA
I _{OFF}	Power-Off Leakage Current	An	V _{IN} or V _O =0V to 5.5V	0	5.5			±2.0	uA
		Bn	V _{IN} or V _O =0V to 5.5V	5.5	0			±2.0	
I _{OZ}	3-State Output Leakage ⁽⁷⁾	An Bn	V _O =0V to 5.5V OE=V _{IL}	5.5	5.5			±2.0	uA

ET2104

直流电参数(续) ⁽⁶⁾

$T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$.

Symbol	Parameter	Conditions		$V_{CCA}(\text{V})$	$V_{CCB}(\text{V})$	Min	Typ	Max	Unit
I_{OZ}	3-State Output Leakage ⁽⁷⁾	An	$V_O=0\text{V}$ to 5.5V , OE=Don't care	5.5	0			± 2.0	μA
		Bn	$V_O=0\text{V}$ to 5.5V , OE=Don't care	0	5.5			± 2.0	
$I_{CCA/B}$	Quiescent Supply Current ^(8,9)	$V_{IN}=V_{CCI}$ or Floating, $I_O = 0$		1.65~5.5	1.65~5.5			5.0	μA
I_{CCZ}	Quiescent Supply Current ⁽⁸⁾	$V_{IN} = V_{CCI}$ or GND, $I_O = 0, OE = V_{IL}$		1.65~5.5	1.65~5.5			5.0	μA
I_{CCA}	Quiescent Supply Current ⁽⁷⁾	$V_{IN} = 5.5\text{V}$ or GND, $I_O=0, OE=Don't\ Care$, Bn to An		0	1.65~5.5			-2.0	μA
				1.65~5.5	0			2.0	
I_{CCB}	Quiescent Supply Current ⁽⁷⁾	$V_{IN} = 5.5\text{V}$ or GND, $I_O = 0, OE = Don't\ Care$, An to Bn		1.65~5.5	0			-2.0	μA
				0	1.65~5.5			2.0	
R_{PU}	Resistor Pull-up Value	V_{CCA} & V_{CCB} Sides		1.65~5.5	1.65~5.5		10		$\text{k}\Omega$

注:

6. 该表包含静态条件下的输出电压；动态驱动参数参考交流输出特性；
7. “Don't Care”表示任何有效的逻辑电平；
8. V_{CCI} 指的是与输入端相关的 VCC；
9. 反映了每个电源的电流： V_{CCA} 或 V_{CCB} .

交流输出特性

Output Rise / Fall Time⁽¹⁰⁾

Output load: $C_L = 50\text{pF}$, $R_{PU} = \text{NC}$, push / pull driver, and $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$.

Symbol	Parameter	$V_{CCO}^{(11)}$				Unit
		4.5 to 5.5V	3.0 to 3.6V	2.3 to 2.7V	1.65 to 1.95V	
		Typ.	Typ.	Typ.	Typ.	
t_{RISE}	Output Rise Time: A Port, B Port ⁽¹²⁾	3	4	5	7	ns
t_{FALL}	Output Fall Time: A Port, B Port ⁽¹³⁾	1	1	1	1	ns

注:

10. 输出的上升、下降时间为设计模拟。
11. V_{CCO} 是输出侧相关的 VCC。
12. 参照 图 8.
13. 参照 图 9.

ET2104

最大传输速率⁽¹⁴⁾

Output load: $C_L = 50\text{pF}$, $R_{PU} = \text{NC}$, push / pull driver, and $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$.

V _{CCA}	Direction	V _{CCB}				Unit
		4.5V to 5.5V	3.0V to 3.6V	2.3V to 2.7V	1.65V to 1.95V	
		Min.				
4.5V to 5.5V	A to B	28	23	22	22	MHz
	B to A	28	26	18	10	
3.0V to 3.6V	A to B	26	23	19	11	MHz
	B to A	23	23	13	10	
2.3V to 2.7V	A to B	18	13	13	9	MHz
	B to A	22	19	13	9	
1.65V to 1.95V	A to B	10	10	9	8	MHz
	B to A	22	11	9	8	

Open-Drain Data Rate

V_{CCA}	Direction	V_{CCB}	Test condition	Date Rate	Unit
1.8~5.5V	A to B	1.8~5.5V	I/O port parallel 1K resistance to power supply	1	Mbps
	B to A			1	Mbps

交流特性⁽¹⁵⁾

Output Load: $C_L = 50\text{pF}$, $R_{PU} = \text{NC}$, push / pull driver, and $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$.

Symbol	Parameter	V _{CCB}								Unit
		4.5V to 5.5V		3.0V to 3.6V		2.3V to 2.7V		1.65V to 1.95V		
		Typ.	Max.	Typ.	Max.	Typ.	Max.	Typ.	Max.	
V _{CCA} =4.5V to 5.5V										
t _{PLH}	A to B	1	3	1	3	1	3	1	3	ns
	B to A	1	3	2	4	3	5	4	7	
t _{PHL}	A to B	2	4	3	5	4	6	5	7	ns
	B to A	2	4	2	5	2	6	5	7	
t _{PZL}	OE to A	4	5	6	10	5	9	7	15	ns
	OE to B	3	5	4	7	5	8	10	15	
t _{PLZ}	OE to A	65	100	65	105	65	105	65	105	ns
	OE to B	5	9	6	10	7	12	9	16	
V _{CCA} =3.0V to 3.6V										
t _{PLH}	A to B	2.0	5.0	1.5	3.0	1.5	3.0	1.5	3.0	ns
	B to A	1.5	3.0	1.5	4.0	2.0	6.0	3.0	9.0	
t _{PHL}	A to B	2.0	4.0	2.0	4.0	2.0	5.0	3.0	5.0	ns
	B to A	2.0	4.0	2.0	4.0	2.0	5.0	3.0	5.0	
t _{PZL}	OE to A	4.0	8.0	5.0	9.0	6.0	11.0	7.0	15.0	ns
	OE to B	4.0	8.0	6.0	9.0	8.0	11.0	10.0	14.0	

ET2104

t _{PLZ}	OE to A	100	115	100	115	100	115	100	115	ns
	OE to B	5	10	4	8	5	10	9	15	
t _{SKEW}	A Port,B Port (16)	0.5	1.5	0.5	1.0	0.5	1.0	0.5	1.0	ns
V_{CCA}=2.3V to 2.7V										
t _{PLH}	A to B	2.5	5.0	2.5	5.0	2.0	4.0	1.0	3.0	ns
	B to A	1.5	3.0	2.0	4.0	3.0	6.0	5.0	10.0	
t _{PHL}	A to B	2.0	5.0	2.0	5.0	2.0	5.0	3.0	6.0	ns
	B to A	2.0	5.0	2.0	5.0	2.0	5.0	3.0	6.0	
t _{PZL}	OE to A	5.0	10.0	5.0	10.0	6.0	12.0	9.0	18.0	ns
	OE to B	4.0	8.0	4.5	9.0	5.0	10.0	9.0	18.0	
t _{PLZ}	OE to A	100	115	100	115	100	115	100	115	ns
	OE to B	65	110	62	110	65	115	12	25	
t _{SKEW}	A Port,B Port (16)	0.5	1.5	0.5	1.0	0.5	1.0	0.5	1.0	ns
V_{CCA}=1.65V to 1.95V										
t _{PLH}	A to B	4	7	4	7	5	8	5	10	ns
	B to A	1.0	2.0	1.0	2.0	1.5	3.0	5.0	10.0	
t _{PHL}	A to B	5	8	3	7	3	7	3	7	ns
	B to A	4	8	3	7	3	7	3	7	
t _{PZL}	OE to A	11	15	11	14	14	28	14	23	ns
	OE to B	6	14	6	14	6	14	9	16	
t _{PLZ}	OE to A	75	115	75	115	75	115	75	115	ns
	OE to B	75	115	75	115	75	115	75	115	
t _{SKEW}	A Port, B Port (16)	0.5	1.5	0.5	1.0	0.5	1.0	0.5	1.0	ns

注：

15. 交流特性由设计保证；

16. 信号斜边是输出信号之间传播延迟的变化，仅适用于同一端口（An 或 Bn）上的输出信号以及具有相同极性（从低到高或者从高到低）的切换（见图 11）。

电容参数

T_A = 25°C

Symbol	Parameter	Conditions	Typ	Unit
C _{IN}	Input Capacitance Control Pin (OE)	V _{CCA} = V _{CCB} = GND	2.2	pF
C _{I/O}	Input/Output Capacitance, An, Bn	V _{CCA} = V _{CCB} = 5.0V, OE = GND	13	pF

交流测试参考回路

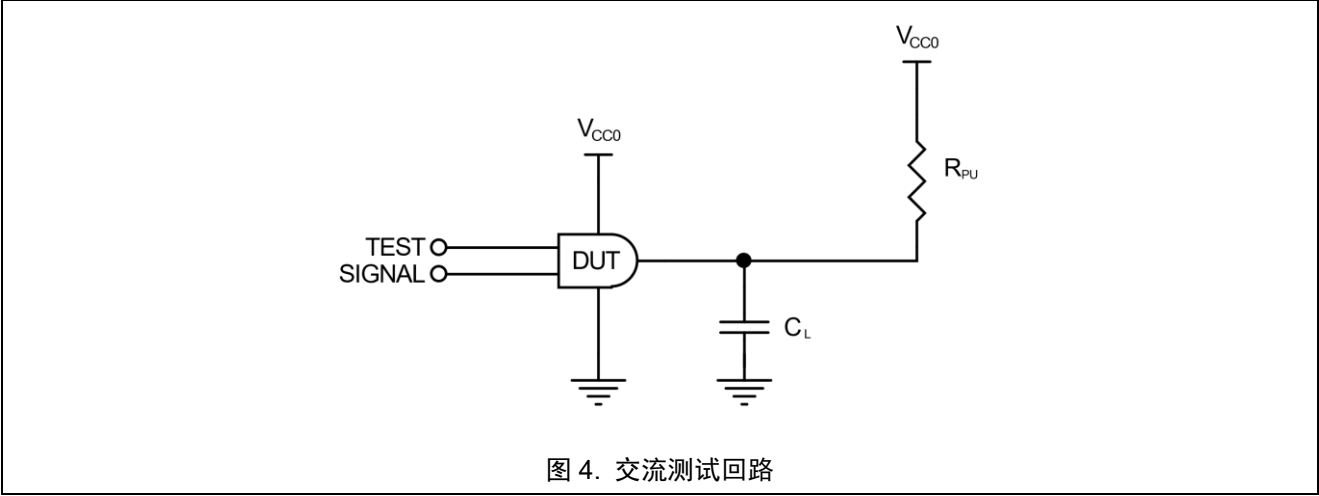


图 4. 交流测试回路

交流测试参考条件

传播延迟测试条件 ⁽¹⁷⁾

Test	Input Signal	Output Enable Control
t_{PLH} , t_{PHL}	Data Pulses	V_{CCA}
t_{PZL} (OE to An, Bn)	0V	LOW to HIGH Switch
t_{PLZ} (OE to An, Bn)	0V	HIGH to LOW Switch

注：

17. 当测试 t_{PZL} 和 t_{PLZ} 时，需要在端口外部增加一个 2.2K 的上拉电阻；当 OE 低电平时，I/O 端口内部的 10K 上拉电阻会被断开。

交流负载条件

V_{CC0}	C_L	R_L
$1.8 \pm 0.15V$	50pF	NC
$2.5 \pm 0.2V$	50pF	NC
$3.3 \pm 0.3V$	50pF	NC
$5.0 \pm 0.5V$	50pF	NC

时序图

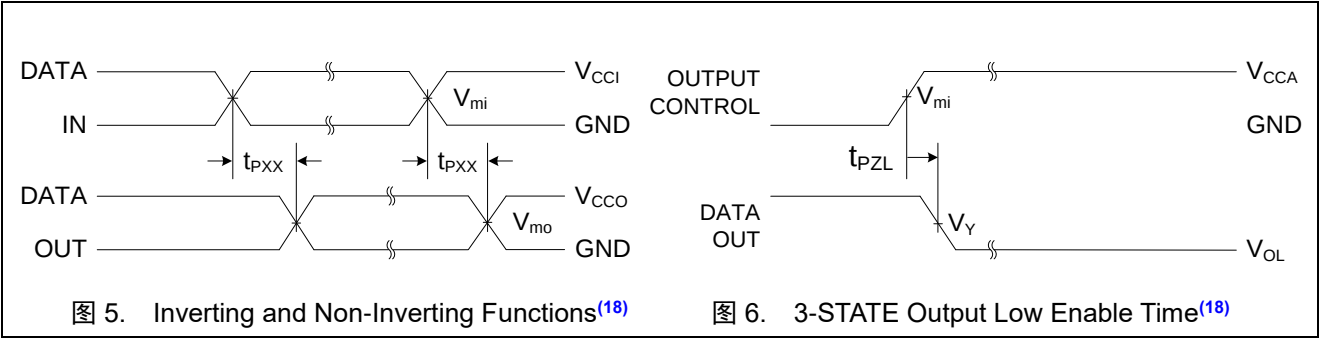
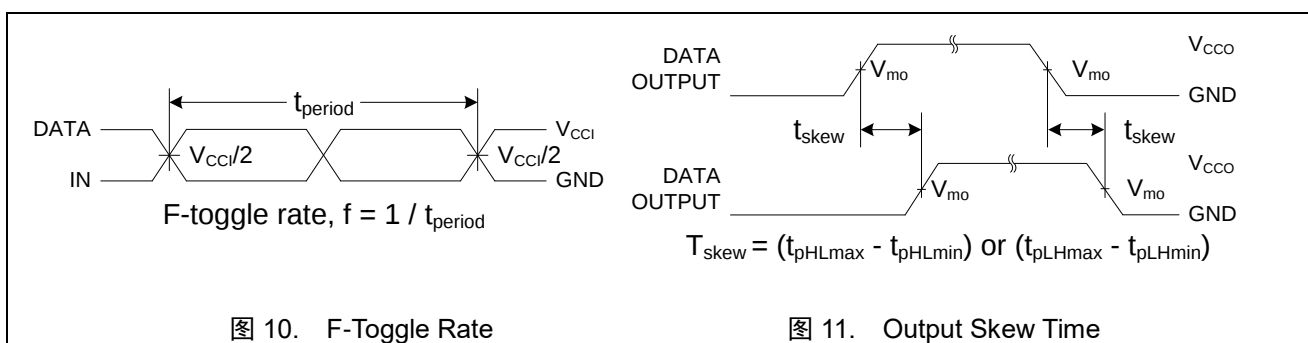
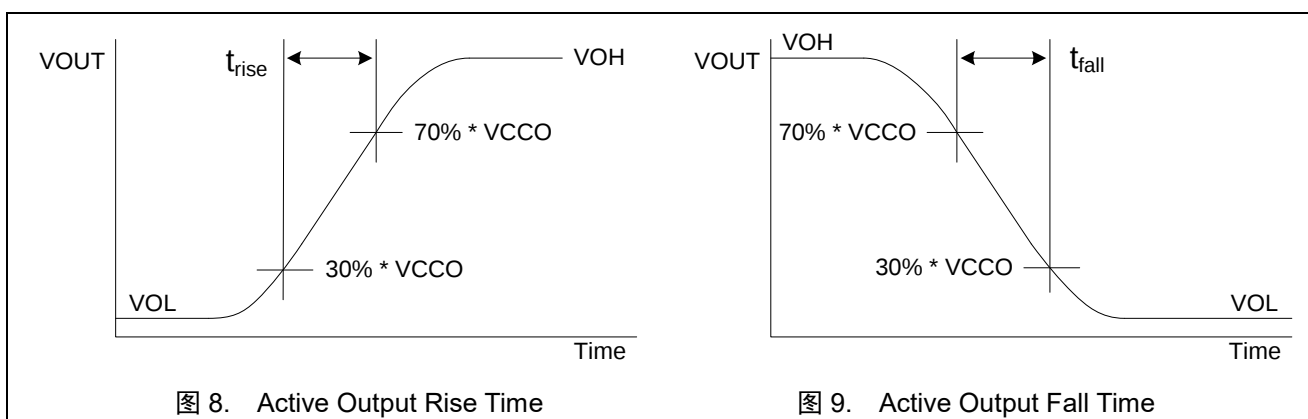
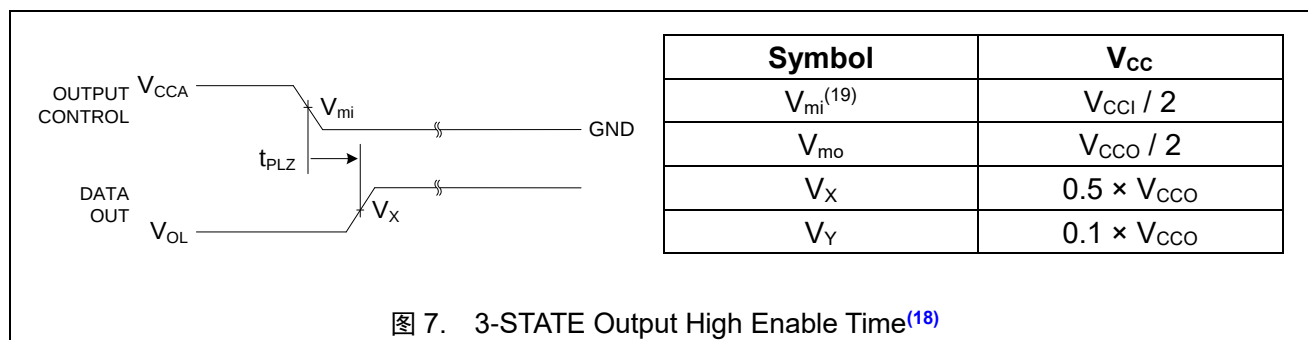


图 5. Inverting and Non-Inverting Functions⁽¹⁸⁾

图 6. 3-STATE Output Low Enable Time⁽¹⁸⁾

ET2104



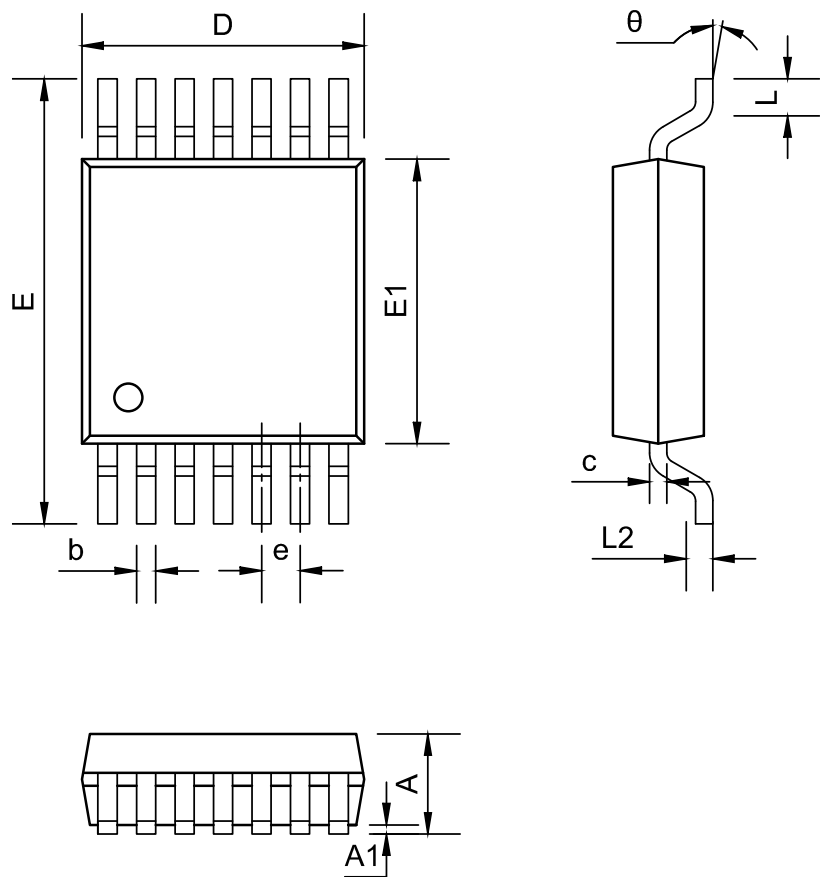
注:

18. Input $t_R = t_F = 2.0\text{ns}$, 10% to 90% at $V_{IN} = 1.65\text{V}$ to 1.95V ;
Input $t_R = t_F = 2.0\text{ns}$, 10% to 90% at $V_{IN} = 2.3$ to 2.7V ;
Input $t_R = t_F = 2.5\text{ns}$, 10% to 90%, at $V_{IN} = 3.0\text{V}$ to 3.6V only;
Input $t_R = t_F = 2.5\text{ns}$, 10% to 90%, at $V_{IN} = 4.5\text{V}$ to 5.5 only.
19. $V_{CCI} = V_{CCA}$ for control pin OE or $V_{MIN} = (V_{CCA} / 2)$.

ET2104

封装尺寸

TSSOP14

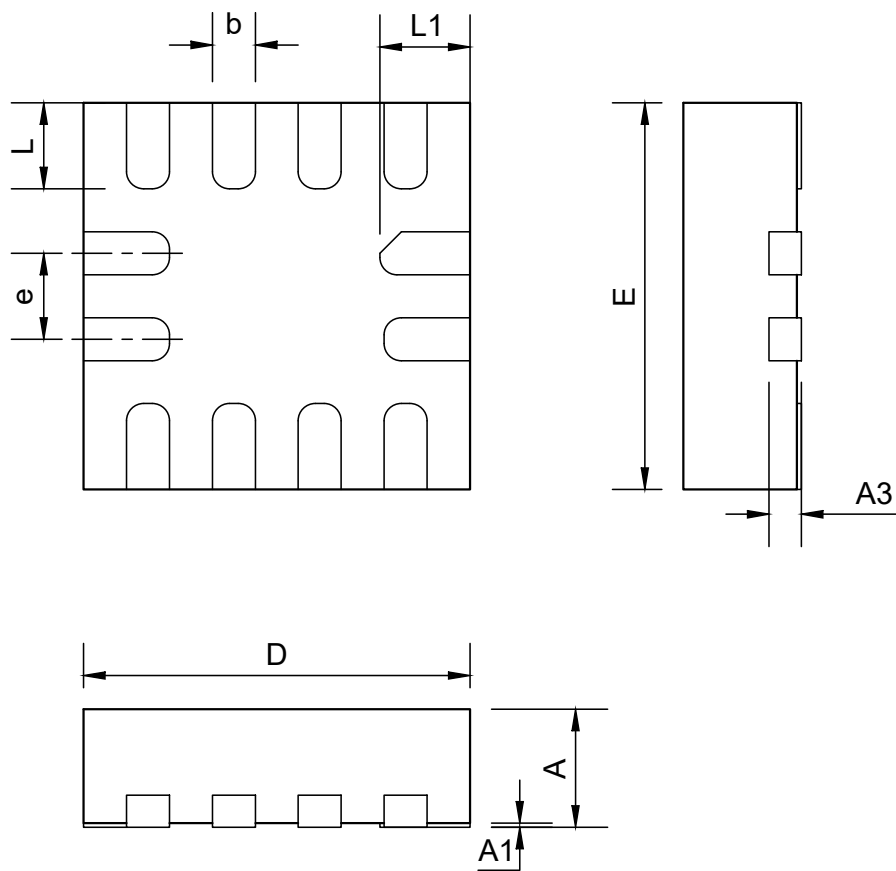


Dimensions Table (Units: mm)

Symbol	Min	Max
A	--	1.20
A1	0.05	0.15
b	0.19	0.30
c	0.15 REF	
D	4.90	5.10
E	6.20	6.60
E1	4.30	4.50
e	0.65BSC	
L	0.50	0.72
L2	0.25 REF	
θ	0°	8°

ET2104

QFN12(1.8mm x 1.8mm)

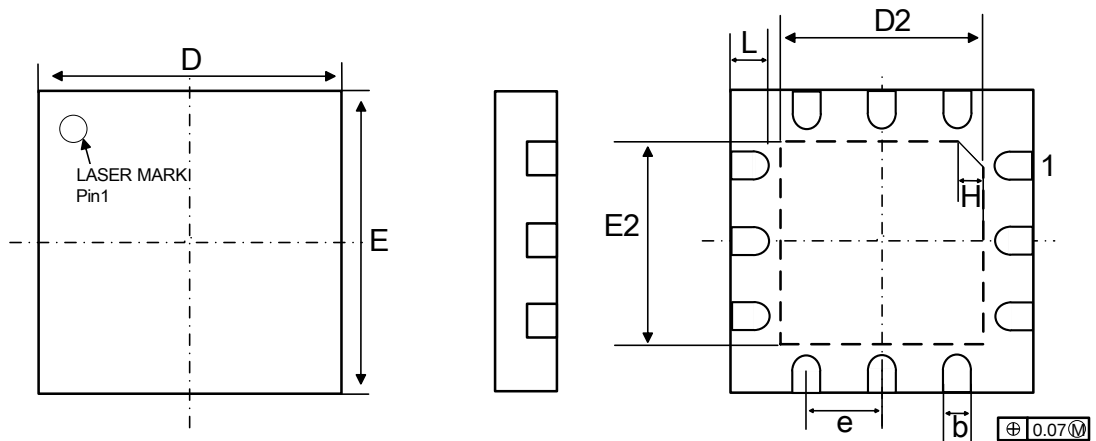


Dimensions Table (Units: mm)

Symbol	Min	Typ	Max
A	0.50	0.55	0.60
A1	0.00	--	0.05
A3	0.15 REF		
b	0.15	0.20	0.25
D	1.75	1.80	1.85
E	1.75	1.80	1.85
e	0.40 BSC		
L	0.35	0.40	0.45
L1	0.42 REF		

ET2104

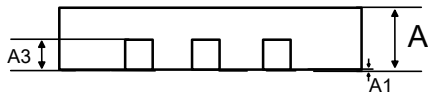
QFN12(2.0mm x 2.0mm)



Top View

Side View

Bottom View



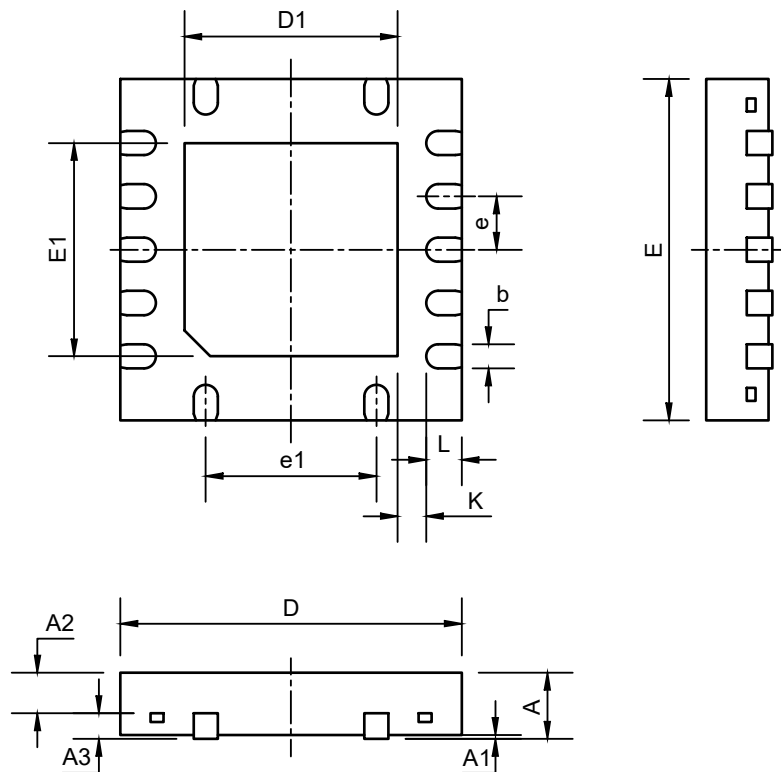
Side View

Dimensions Table (Units: mm)

Symbol	Min	Typ	Max
A	0.40	0.45	0.50
A1	0.00	0.02	0.05
A3	0.152 REF		
b	0.15	0.20	0.25
D	1.95	2.00	2.05
E	1.95	2.00	2.05
D2	1.00	1.10	1.20
E2	1.00	1.10	1.20
e	0.35	0.40	0.45
L	0.15	0.20	0.25
H	0.20 REF		

ET2104

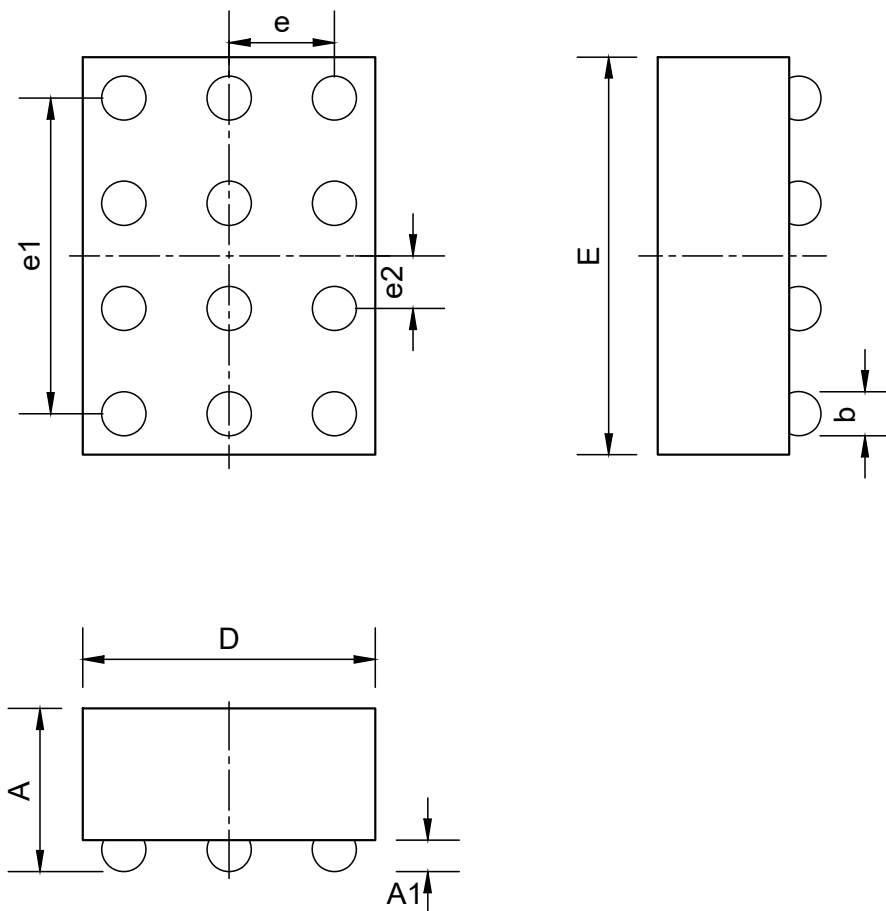
QFN14(3.5mm x3.5mm)



Dimensions Table (Units: mm)

Symbol	Min	Typ	Max	Symbol	Min	Typ	Max
A	0.7	0.75	0.8	e	0.5 BSC		
A1	0	0.02	0.05	e1	1.5 BSC		
A2	--	0.55	--	D1	1.9	2	2.1
A3	0.203 REF			E1	1.9	2	2.1
b	0.2	0.25	0.3	L	0.3	0.4	0.5
D	3.5 BSC			K	0.325 REF		
E	3.5 BSC						

CSP12



Dimensions Table (Units: mm)

Symbol	Min	Max
A	--	0.625
A1	0.15	0.19
b	0.21	0.25
D	1.33	1.39
E	1.83	1.89
e	0.50 BSC	
e1	1.50 BSC	
e2	0.25 BSC	

ET2104

丝印信息

(1) ET2104Y QFN12

2104

XXXX

2104 - Part Number

XXXX - Tracking Number

(2) ET2104 CSP12

A

3

ET2104

XXXXXX

ET2104 - Part Number

XXXXXX - Tracking Number

版本历史和检查表

Version	Date	Revision Item	Modifier	Function & Spec Checking	Package & Tape Checking
1.0	2016-08-29	Original Version	Shi Liang Jun	Shi Liang Jun	Zhu Jun Li
1.1	2016-09-23	Updated Pin Configuration	Shi Liang Jun	Shi Liang Jun	Zhu Jun Li
1.2	2017-12-12	Updated package	Shi Liang Jun	Shi Liang Jun	Zhu Jun Li
1.3	2018-06-28	Updated parameter	Shi Liang Jun	Shi Liang Jun	Zhu Jun Li
1.4	2018-10-23	Updated package	Shi Liang Jun	Shi Liang Jun	Zhu Jun Li
1.5	2020-05-09	Updated form	Shibo	Shibo	Shibo
1.6	2022-08-29	Updated form	Shibo	Shibo	Shibo
1.7	2023-3-14	Update Marking	Shibo		
1.8	2025-06-19	Add Package	Shibo	Yangxx	Liujiy